

**T.C.
GAZİ ÜNİVERSİTESİ
TEKNOLOJİ FAKÜLTESİ
ELEKTRİK&ELEKTRONİK MÜHENDİSLİĞİ**

EE 208 ELEKTRONİK II LABORATUAR DENEY FÖYÜ

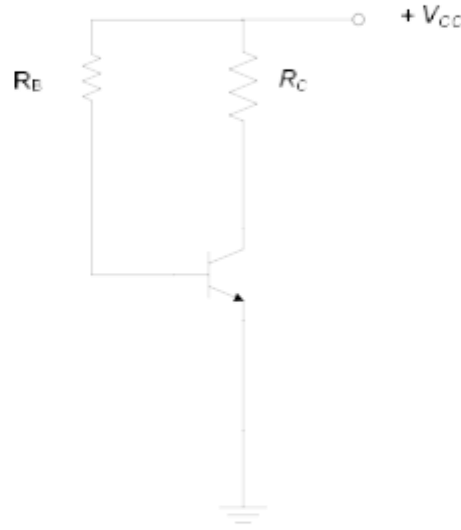
ÖĞRENCİ'NİN
ADI & SOYADI :
NUMARASI :
LAB. GÜNÜ :

DENEY NO : 1

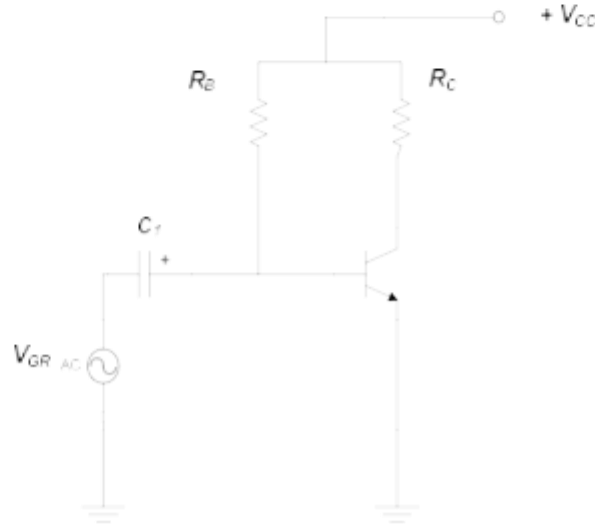
DENEY ADI : Ortak emiterli ses yükselteci

DENEYİN AMACI : Ortak emiter bağlantılı AF yükselteçlerde yükseltme ve faz bağlantısını çalışmak.

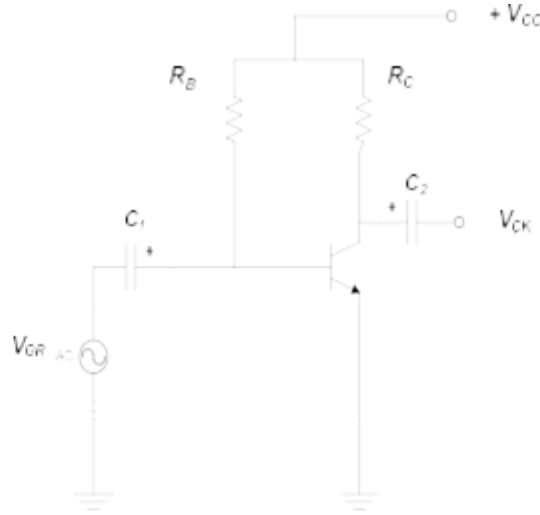
TEORİK BİLGİ : Emiteri ortak bağlantılı bir transistör devresine AC işaret uygulamak, devrenin DC polarma durumunun çıkışta elde edilecek AC işaret üzerindeki etkilerini ve söz konusu devrenin gerilim kazancının bağlı olduğu faktörleri incelemek. Transistör DC açıdan uygun biçimde polarmlandırıldığında, çalışmaya hazır duruma getirildi ise (Şekil 1.1) artık girişine AC işaret uygulanabilir demektir. Söz konusu devreye AC işaret uygulanırken dikkat edilecek noktalar şunlardır:



Şekil 1.1 Transistörün Polarmlandırılması



Şekil 1.2 Transistör polarmlandırıldıktan sonra AC sinyalin uygulandığı devre



Şekil 1.3 Kondansatör kuplajlı devre

AC işaret kaynağının, devreyi DC bakımdan yükleyerek uygun polarmayı bozmaması için AC işaret kaynağı ile devre girişi arasında DC blokaj görevini yapan bir kondansatör (C_1) konur.(Şekil 1.2) Benzer nedenle çıkışa bağlanacak devrenin DC yükleme yapmasını önlemek için de C_2 kondansatörü kullanılır (Şekil 1.3). Eğer C_1 ve C_2 kondansatörleri elektrolitik iseler söz konusu kondansatörlerin – uçlarının +kaynak tarafına gelecek şekilde yerleştirilmesine dikkat etmek gerekir.

Emiteri ortak bağlı devrenin, girişine uygulanan AC işareti en iyi biçimde yükselterek çıkışana aktarabilmek için, DC polarmasının $V_{CE} = \frac{V_{CC}}{2}$ olacak şekilde sağlanması gerekir.

Örneğin I_C akımı 5 mA olan bir devrede $R_C=1K\Omega$ değeri $V_{CE} = \frac{V_{CC}}{2}$ şartını yerine ($V_{CC}=10V$)

getirir. Bu duruma dikkat edilmeden yapılacak DC polarmalar devreye AC işaret uygulandığında çıkış işaretinin bozulmaya uğramasına neden olabilirler. Tablo 1’de V_{CE} geriliminin çeşitli değerleri için çıkış işaretinin alabileceği durumlar gösterilmiştir. Tabloda da görüldüğü gibi, V_{CE} geriliminin $\frac{V_{CC}}{2}$ değerinden fazlaca büyük ya da küçük değerler alması

halinde çıkış işaretinde bozulma(distorsiyon) meydana gelir.

$$A_v = \frac{R_C}{\frac{r_j}{\beta_{AC}}}$$

olarak da yazılabilir. Burada

$$\frac{r_i}{\beta} = r_j \text{ denilirse } A_v = \frac{R_C}{r_j} \text{ olur.}$$

r_j , emiter ucundan görülen yaklaşık direnimsizdir. Yine, Shockley formülü ile bulunabilir.

Emiteri ortak bağlı transistörün AC gerilim kazancı, genel olarak kolektör ucuna bağlı bir direncin emiter ucuna bağlı dirence oranı şeklinde ifade edilebilir. Örneğin Şekil 1.4'deki devrede ise gerilim kazancı;

$$A_v = \frac{R_C}{r_j}$$

Şekil 1.4'deki devrede ise; $A_v = \frac{R_C}{r_j + R_E}$ olarak bulunur. Şekil 1.4'deki devrenin gerilim

kazancı transistörün β 'sına büyük ölçüde bağımlıdır. (Çünkü $r_j = \frac{25}{I_C}$ 'dir ve $I_C = \beta I_B$ 'dir.)

Şekil 1.5'deki devrenin gerilim kazancının transistör β 'sına bağımlılığı çok azdır. Çünkü $R_E \gg r_j$ olduğundan r_j 'nin eşitlikte etkisi yok denecek kadar azdır.

Her iki durumda da R_C direnç değerinin gerilim kazancı üzerinde doğru orantılı bir etkisi olduğu kazanç formüllerinden açık olarak görülebilir.



Şekil 1.4

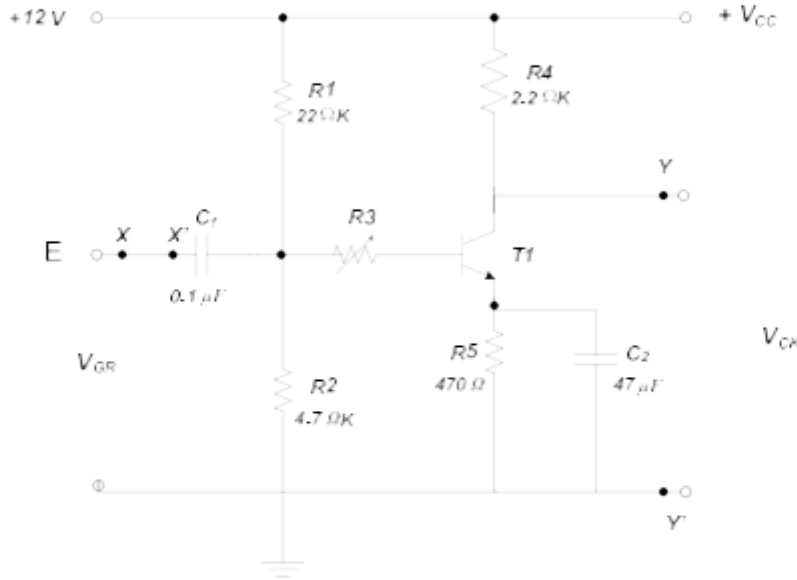


Şekil 1.5

KULLANILAN MALZEMELER:

- | | |
|-----------------------------------|---------------------------------------|
| ② 0...12 V/ DC Ayarlı Güç Kaynağı | ② 2.2 K Ω Direnç |
| ② 1K Ω Potansiyometre | ② Osilaskop İki Kanallı |
| ② 22 K Ω Direnç | ② BC 108C Transistör |
| ② 0,1 μ F Kondansatör | ② 47 μ F Elektrolitik Kondansatör |
| ② 4.7 K Ω Direnç | ② 470 Ω Direnç |
| ② Fonksiyon Jeneratörü | |

DENEY DEVRESİ:



İŞLEM BASAMAKLARI:

1. Şekildeki devreyi yerleşim planına göre kurunuz. R_3 ü 0 Ω ve C_1 'i 0.1 μ F alınız.
2. E girişine $U_{IN}(p-p) = 1V$, $f=1KHz$ 'lik bir sinyal uygulayınız. Giriş ve çıkış gerilim kazancı A_V 'yi görünüz. R_4/R_5 oranını hesaplayarak bulduğunuz değerleri ölçülen kazanç değeri ile karşılaştırınız.

.....
.....
.....

$U_{in}(p-p) = 30 \text{ mV}$ ve $F=1 \text{ KHz}$ olarak ayarlayarak R_5 'e paralel olarak 47 μ F'lık C_2 kondansatörünü bağlayınız. $R_3=0$ olarak çıkış gerilimini bulunuz.

3. R_3 'ü 0 alarak giriş gerilimini çıkıştan $U_{OUT}(p-p) = 6V$ olacak şekilde ayarlayınız. R_3 'ü tabloda verilen değerlere göre ayarlayıp çıkış gerilimlerini ölçünüz. Sonuçları kaydediniz.
4. R_3 'ü 0 yaparak C_2 'yi çıkarınız. Girişi $U_{IN}(p-p) = 1V$ yapınız Frekansı, tabloda verilen değerlere göre değiştirerek çıkış gerilimlerini $U_{OUT}(p-p)$ ölçünüz. Sonuçları kaydediniz.

5. Kuplaj kondansatörünün C_1 'in faz bağlantısına etkisini açıklayınız.

.....

.....

.....

6. Akım geri beslemeli ortak emiter bağlantısında yükseltme:

$$A_V = \frac{R_C}{R_E + r_e}$$

$U_{IN}(p-p) = 1V$ $U_{OUT}(p-p) = \dots\dots V$ $A_V = \dots\dots$ $R_4/R_5 = \dots\dots$

7. Akım geri beslemesiz ortak emiter bağlantısında yükseltme:

$U_{IN}(p-p) = 30 \text{ mV}$ $U_{OUT}(p-p) = \dots\dots V$ $A_V = \dots\dots$

8. R_3 'e göre çıkış gerilimi U_{OUT} :

$R_3(1 \text{ K } \Omega)$	1	2	3	4	5	6	7	8	9
$U_{OUT}(p-p)(V)$									

9. Ortak emiterli AF yükselteç faz bağlantısı

F(KHz)	0.02	0.01	0.1	0.2	0.5	1	2	5	10
$U_{OUT}(p-p)V$									

10. Ortak emiterli AF yükselteçte faz bağlantısı:

.....

.....

.....

11. R_3 direncini kısa devre yapınız. $U_{IN} = 100 \text{ mV}_{pp}$, 1KHz olacak şekilde ayarlayınız.

$U_{OUT}(p-p)$ gerilimini ölçünüz ve kaydediniz.

$U_{OUT}(p-p) = \dots\dots$

Sonra $X - \bar{X}$ ' arasına $R_3 = 1K \Omega$ 'luk direnç bağlayınız. $U_{OUT}(p-p)$ gerilimini ölçünüz. Sonucu karşılaştırınız.

$U_{OUT}(p-p) = \dots\dots$ Gerilimini ölçünüz. Sonucu karşılaştırınız.

.....

.....

.....

.....

.....

$$U_{OUT}(p-p)=\dots\dots\dots$$

.....

.....

.....

[illegible]

DENEY NO : 2

DENEY ADI : Darlington bağlantılı yükselteç

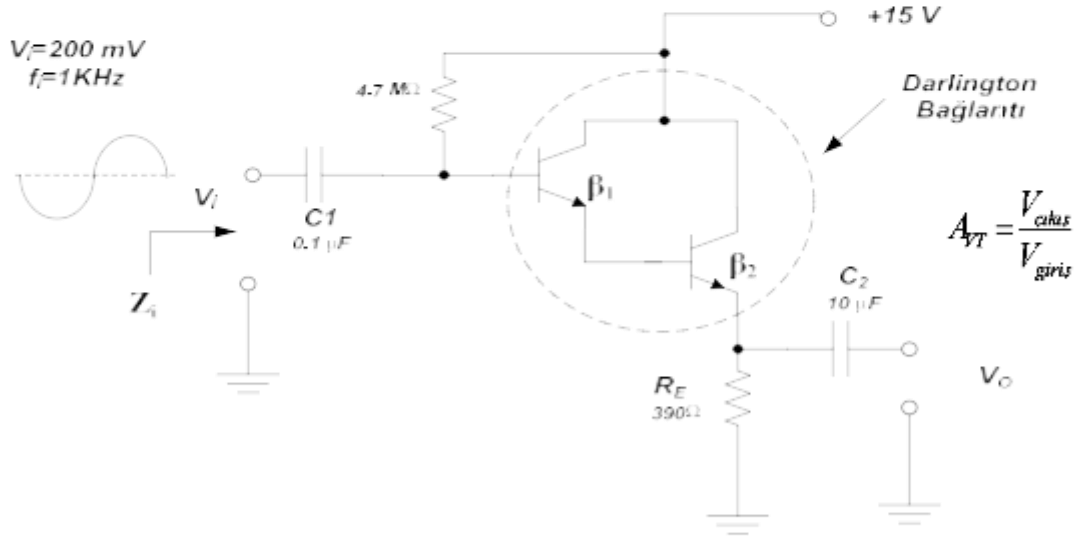
DENEYİN AMACI : Darlington bağlantının özelliklerini ve çalışmasını öğrenmek.

TEORİK BİLGİ : Darlington devresi, iyileştirilmiş yükselteç karakteristikleri veren birleşik düzenlemedir. Yüksek giriş empedansı, düşük çıkış empedansı, yüksek akım kazancı gibi bir akım yükselteci için bütün iyi özelliklere sahiptir. Ancak çıkışın emiter uçlarından alınması halinde gerilim kazancının birden küçük olduğunu göreceğiz. Darlington düzenlemesinde ilk emiter akımının, ikinci transistor ün beyz akımı olduğuna dikkat edin.

KULLANILAN MALZEMELER

- | | |
|----------------------------------|----------------------------|
| ① 1 adet 4.7M Ω direnç | ① 2 adet BC 108 transistör |
| ① 1 adet 390 Ω direnç | ① Voltmetre |
| ① 1 adet 0.1 μ F kondansatör | ① Ampermetre |
| ① 1 adet 10 μ F kondansatör | ① Sinyal jeneratörü |

DENEY DEVRESİ:



İŞLEM BASAMAKLARI:

1. Şekildeki devreyi yerleşim planına göre kurunuz.

$$R_E = 390 \Omega \quad C1 = 0.1 \mu F$$

$$R_B = 4.7 \text{ M}\Omega \quad C2 = 10 \mu F$$

2. Devrenin girişine $V_s = 200 \text{ mV}$ 'luk bir AC sinyal uygulayarak aşağıdaki değerleri bulunuz.

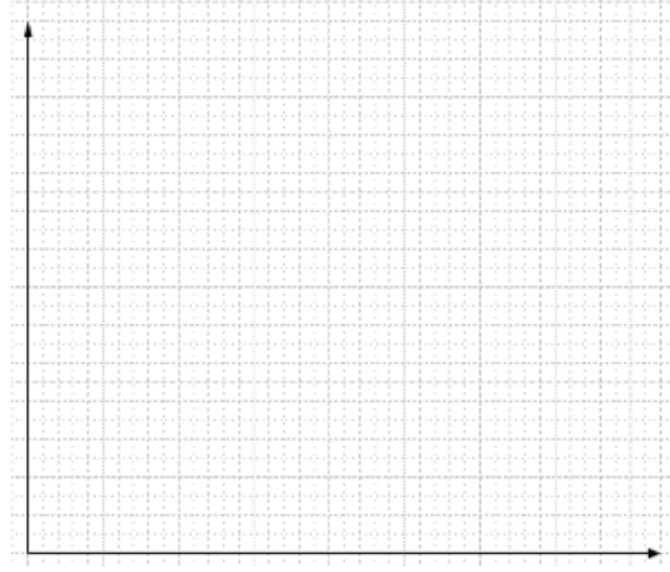
$$V_i = \dots\dots$$

$$V_o = \dots\dots$$

$$I_B = \dots\dots$$

$$I_{C1} = \dots\dots$$

Elde ettiğiniz sonuçlara göre frekans-kazanç grafiğini çiziniz. Dikey eksen “Kazanç (V_O/V_{in})”, yatay eksen “ $f(\text{Hz})$ ” olacak şekilde aşağıdaki boşluğa yapıştırınız.



6. Devrenin distorsiyonsuz maksimum çıkış gerilimini bulmak için: Giriş sinyalinin genliğini 0V'dan itibaren arttırmaya başlayın ve çıkış sinyalini takip ediniz. Bu durum çıkış sinyalinin alttan ve üstten kırılmaya başladığı noktaya gelinceye kadar devam etsin. Bu noktada çıkış ve giriş sinyalinin genliğini ölçerek distorsiyonsuz maksimum kazancı ölçünüz. Kırılmanın nedenini yorumlayınız.

.....

.....

.....

.....

.....

.....

.....

.....

SONUÇ:

.....

.....

.....

.....

.....

.....

.....

.....

DENEY NO: 3

DENEY ADI: JFET giriş karakteristiğinin incelenmesi

DENEY AMACI:

Birleşim yüzeyli alan etkili transistörlerin çalışmasını ve özelliklerini öğrenmek.

TEORİK BİLGİ:

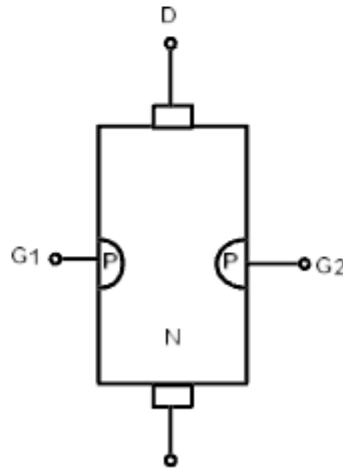
Alan etkili transistörler genel olarak iki gruba ayrılır.

- JFET
- MOSFET

Bu deneyde JFET özellikleri incelenecektir. FET'ler gerilim esasına göre çalışan Silisyumdan yapılmış üç elektrotlu (Drain, Source, Gate) özel alan etkili transistörlerdir. FET'ler transistörler gibi iki tiptir. Bunlardan biri P KANAL JFET diğeri ise N KANAL JFET'tir.

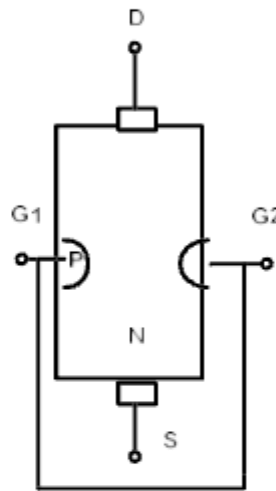


JFET ile BJT transistör arasında çeşitli farklar olmasına rağmen en önemli farklardan bir tanesi JFET unipolar, BJT ise bipolar yapıya sahiptir. Diğeri ise BJT transistörün akım kontrollü olmasına karşın JFET'in gerilim kontrollü oluşudur.



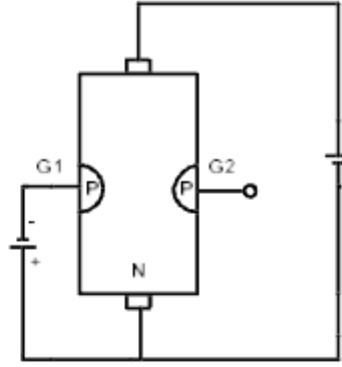
Şekil 3.1 FET'in yapısı

Şekil 3.1’ de bir N kanal JFET’in yapısı basit olarak çizilmiştir. Görüldüğü gibi, N tipi yarı iletken bloğun her iki tarafında birer uç vardır. Bu uçlar ile yarı iletken arasında herhangi bir yarı iletken birleşim yüzeyi varlığı söz konusu değildir. D ucu “drain(akaç)”,S ucu ise “source”(kaynak) anlamına gelmektedir. D ve S uçları arasında belirli bir omik direnç vardır. Bu direnç, N tipi yarı iletkenin direncinden kaynaklanır. N tipi yarı iletken bloğun her iki yanına birer parça P tipi yarı iletken madde, birleşim yüzeyi oluşturacak halde yerleştirilmişlerdir. Bu bloklara bağlı uçlar, kapı anlamına gelen “gate” kelimesinin baş harfi ile gösterilirler. İki ayrı kapı ucu olabileceği gibi, bunlar içerden birleştirilerek tek bir kapı ucu durumu da oluşturulabilir. Genel olarak JFET’lerde tek kapı uçlu durum görülür.

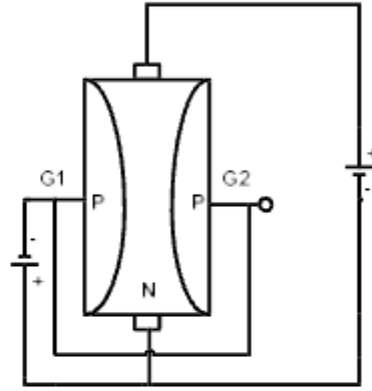


Şekil 3.2 FET gate’lerinin birleşmiş hali

G-S uçları arasına, buradaki P-N birleşim yüzeyini ters polaracak şekilde bir gerilim uygulandığında “durgun bölge” genişleyerek kanal daralır(Şekil 3.3).Dolayısıyla I_D akımı azalır söz konusu gerilim arttırıldığında bu bölge daha da genişler ve kanal daha da daralır. Böylece I_D akımı biraz daha küçülür(Şekil 3.4).Şu halde V_{GS} gerilimini değiştirmek suretiyle I_D akımı kontrol altına alınabilir.



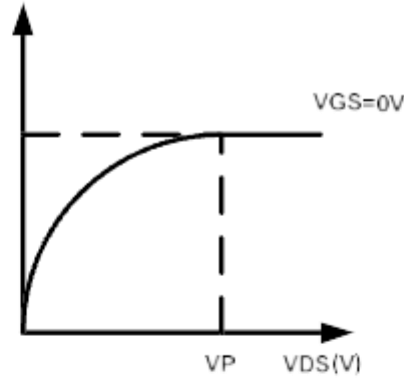
Şekil 3.3 FET polarlamalandırılması



Şekil 3.4 FET'in çalışması

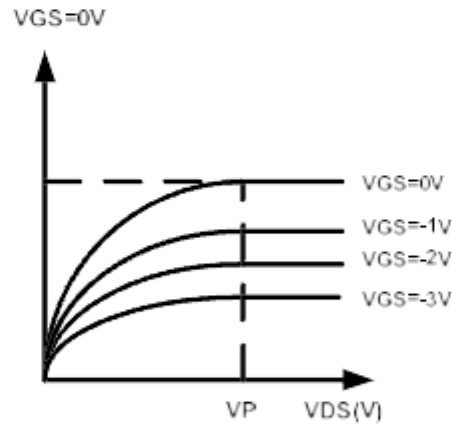
$V_{GS}=0$ Volt olduğunda, V_{DS} gerilimi arttırılarak I_D akımı maksimum değerine (I_{DSS}) ulaşılabilir.

Bu durum grafiksel olarak Şekil 3.5 de çizilmiştir. Dikkat edilecek olursa, ($V_{GS}=0$ Volt iken) V_{DS} gerilimindeki artışa rağmen I_D akımı sabitlemeye başlayıp sonra da sabitleşmektedir. I_D sabitleşmeye başladığı andaki V_{DS} değerine tıkama (pinch-off) gerilimi denir ve V_p ile gösterilir. I_D akımının sabitleştiği zaman ki değeri I_{DSS} olarak ifade edilir.



Şekil 3.5 I_D - V_{DS} karakteristiği

Burada şu noktaya değinmek de yarar vardır. V_{DS} gerilimi maksimum değeri (V_{DSmax}) hiçbir zaman aşmamalıdır. Aksi halde JFET onarılamayan şekilde tahrip olur. Şekil 3.6 da değişik V_{GS} değerleri için N kanal JFET e ait I_D - V_{DS} grafik ailesi çizilmiştir. GS birleşimi yüzeyi daha fazla ters yönde polarıldıkça I_D akımını daha küçük V_{DS} değerlerine sabitleştğine dikkat ediniz.

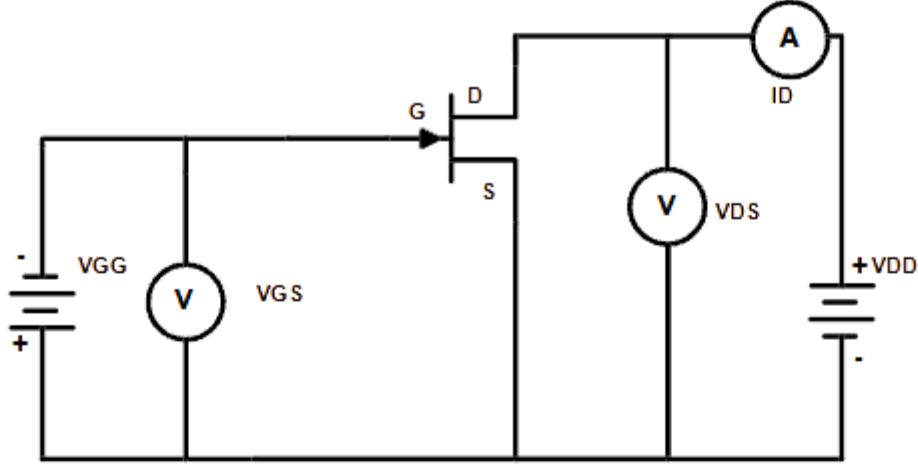


Şekil 3.6 FET çıkış karakteristiği

KULLANILAN ELEMANLAR

- FET Transistör BF 245
- AVO metre(2 adet)
- Güç kaynağı

DENEY DEVRESİ:



Şekil 3.7 FET karakteristiği ile ilgili deney devresi

İŞLEM BASAMAKLARI

1. Deney devresini Şekil 3.7 de olduğu gibi kurunuz. Kontrol ettikten sonra devreye enerji uygulayın.
2. Ayarlı V_{DD} ve V_{GG} kaynağını 0 yapınız. V_{DS} ve V_{GS} gerilimi değerlerini ölçünüz ve Tablo 3.1'e kaydediniz.
3. Daha sonra Tablo 3.1'deki V_{DS} ve V_{GS} değerlerine göre I_D akım değerlerini ölçerek ilgili yerlere not ediniz.

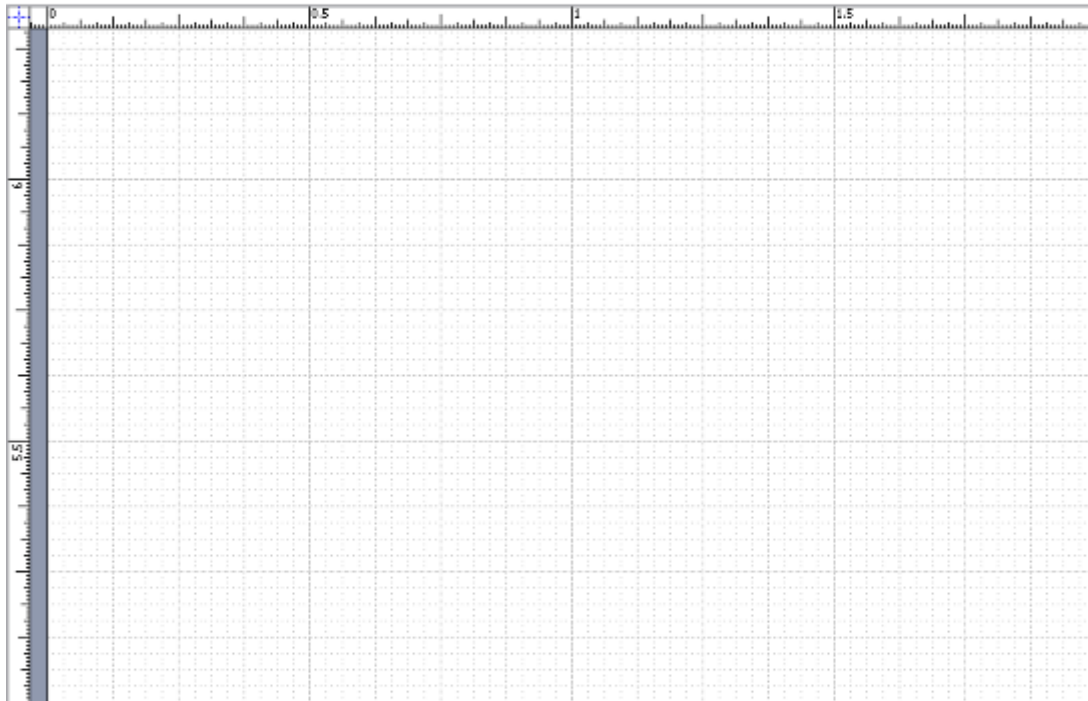
Tablo 3.1 V_{DS} ve V_{GS} değerine karşılık I_D akımı.

	$V_{GS}=0$	$V_{GS}=-0.5$	$V_{GS}=-1$	$V_{GS}=-2$	$V_{GS}=-3$	$V_{GS}=-4$	$V_{GS}=-5$
$V_{DS}(V)$	$I_D(mA)$	$I_D(mA)$	$I_D(mA)$	$I_D(mA)$	$I_D(mA)$	$I_D(mA)$	$I_D(mA)$
1							
2							
3							
4							
5							
6							
7							
8							
9							
10							

11					
12					
13					
14					
15					

4. Tablo 3.1'deki sonuçlara göre;

- Her V_{GS} değeri için $I_D - V_{DS}$ eğrisini Şekil 3.8 Üzerinde çiziniz. Çizimleri aynı eksenlerde yapınız.



Şekil 3.8 FET Karakteristiği

- Çizimlere göre, V_p değeri kaç voltur? Not ediniz. V_p değerini nasıl belirlediğinizi açıklayınız.
- I_{DSS} akım değeri ne kadardır? Not ediniz. Bu değeri nasıl belirlediğinizi açıklayınız.
- $V_{GS} = \text{sabit}$, I_D akımı için her seferinde belli bir değere ulaştıktan sonra orada kalmaktadır? Açıklayınız.
- I_D akımı V_{GS} 'nin hangi değeri için yaklaşık 0sıfır değerini almaktadır? V_{GS} 'nin bu değerini V_p değeri ile karşılaştırınız.

5. $I_D - V_{DS}$ grafik ailesi üzerinde, JFET'in,

- Hangi bölgede “gerilim kontrollü direnç” özelliğini taşıdığını,
- Hangi bölgede “gerilim kontrollü akım kaynağı” özelliğini taşıdığını işaretleyiniz.

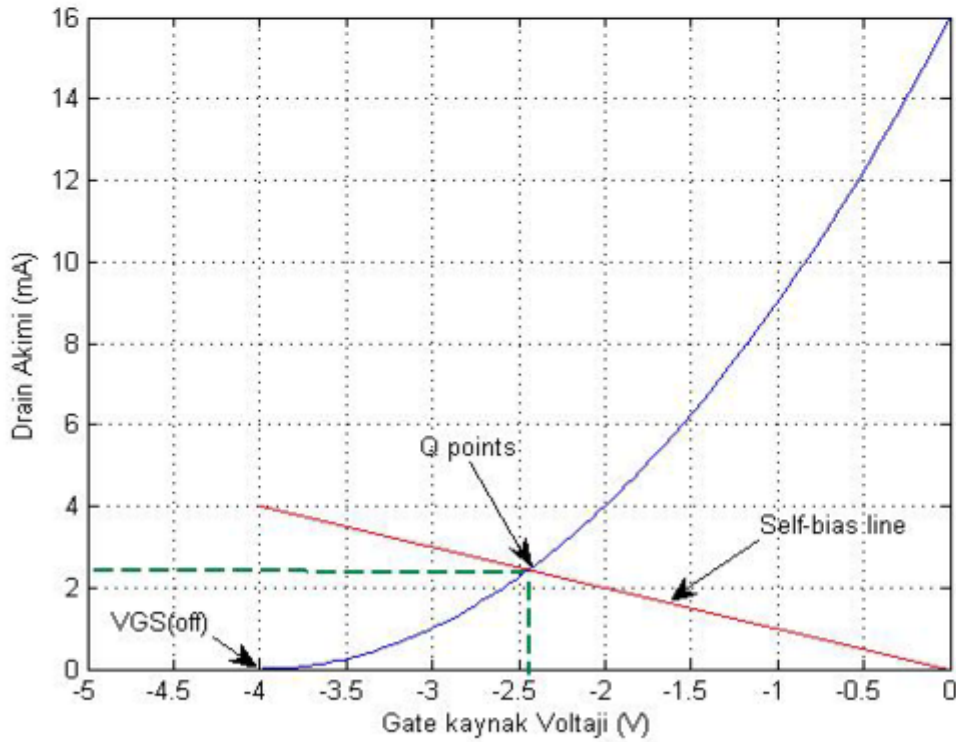
SORULAR

1. Kapı kaynak(V_{gs}) geriliminin ters öngerilimleme sebebini açıklayınız.
2. Akaç kaynak akımının(I_{ds}) maksimum olması için kapı kaynak gerilimi (V_{gs}) hangi değeri almalıdır?
3. FET lerle BJT'ler arasındaki en belirgin fark nedir?

SONUÇ:

- JFET giriş karakteristiğinin MATLAB uygulaması:

```
% Idss= 16mA
% VGS(off)= 4V
% Id= (Vgs/Rs)
% Vgs=0 iken Id=0
% Vgs=4V iken Id=4mA
y='16*(1+x/4)^2';
fplot(y,[4 16],'blue');
hold,grid;
x1=[0 4]; % Kırmızı çizginin x ekseninde 0'dan başlayıp 4 te biteceğini ayarlar.
y1=[0 4]; % Kırmızı çizginin y ekseninde 0'dan başlayıp +4 te biteceğini ayarlar.
axis([5 0 0 16]); % ilk iki sayı x ekseninin 5 ile 0 aralığında, son iki sayı ise y ekseninin 0 ile 16 arasında gözükmesini sağlar.
plot(x1,y1,'red')
xlabel('Gate kaynak Voltajı (V)')
ylabel('Drain Akımı (mA)')
```

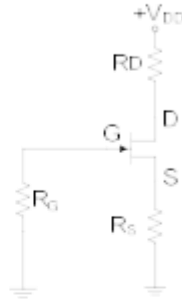


DENEY NO:4

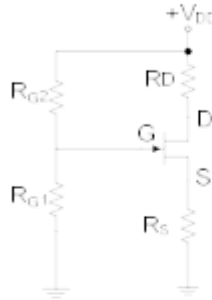
DENEYİN ADI: JFET'i DC açıdan incelemek

DENEYİN AMACI: FET transistor ün DC olarak çalışmasını öğrenmek.

TEORİK BİLGİ: Transistörlerde olduğu gibi, bir FET'e işaret uygulamadan evvel önce onu DC açıdan uygun biçimde polarmak gerekir. Bunu yaparken en önemli koşul, kapı-kaynak (Gate-Source) birleşim yüzeyinin ters polarılmış olmasıdır. Şekil 4.1 ve şekil 4.2'de yaygın olarak kullanılan 2 tip polarma yöntemi çizilmiştir.



Şekil 4.1 Sabit polarma



Şekil 4.2 Gerilim bölücülü polarma

Şekil 4.1 için; $V_G = 0$ $V_S = I_D R_S$ olduğundan

$$V_{GS} = V_G - V_S = 0 - I_D R_S$$

$$V_{GS} = -I_D R_S \text{ olur.}$$

Eğer $I_D = 2\text{mA}$, $R_S = 1\text{K}\Omega$ ise;

$$V_{GS} = -2\text{V} \text{ bulunur.}$$

Görüldüğü gibi kapı (G)– kaynak (S) arasının ters polarılması ile ilgili koşul sağlanmaktadır. Bu devrede, çıkış bölümü için Kirchoff gerilim yasası şu şekilde yazılabilir: $V_{DD} = I_D(R_D + R_S) + V_{DS}$ Burada; V_{DD} , I_D ve direnç değerleri biliniyorsa V_{DS} hesaplanabilir. Şekil 4.2 için;

$$V_G = \frac{V_{DD}}{R_{G1} + R_{G2}} \cdot R_{G1}$$

(Kaynağı ortak bağlı bir JFET'in giriş empedansı çok yüksek olduğundan I_G akımı ihmal edilebilir.)

$$V_S = I_D R_S$$

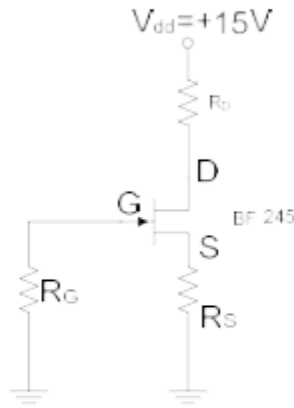
$$V_{GS} = V_G - V_S \leq 0$$

Olmaması gerektiğinden $V_S \geq V_G$ olacak şekilde direnç değerleri seçilmelidir.

KULLANILAN ELEMANLAR:

- Direnç $1K\Omega$ (2 adet)
- Direnç $2.2K\Omega$ (2 adet)
- Direnç $270K\Omega$
- JFET BF245
- AVO metre
- Güç kaynağı

DENEY DEVRESİ:



Şekil 4.3 FET polarmalandırılması deney devresi

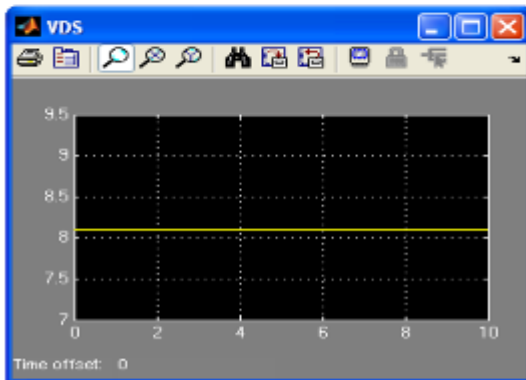
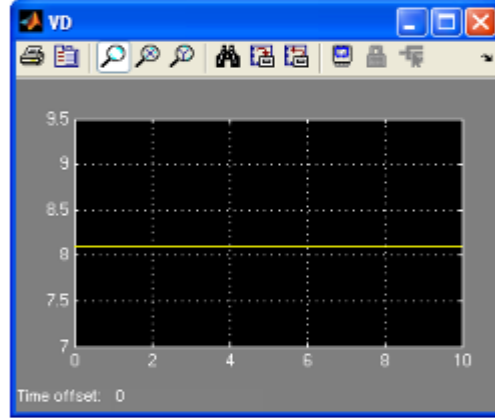
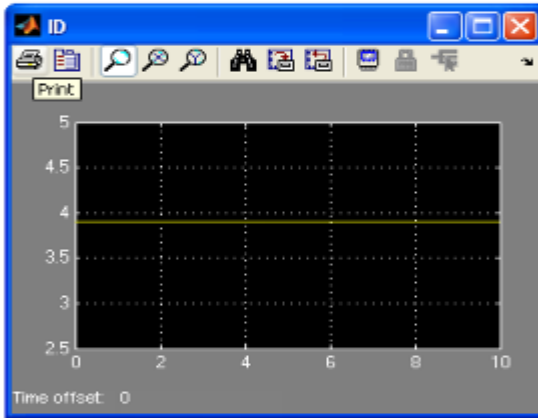
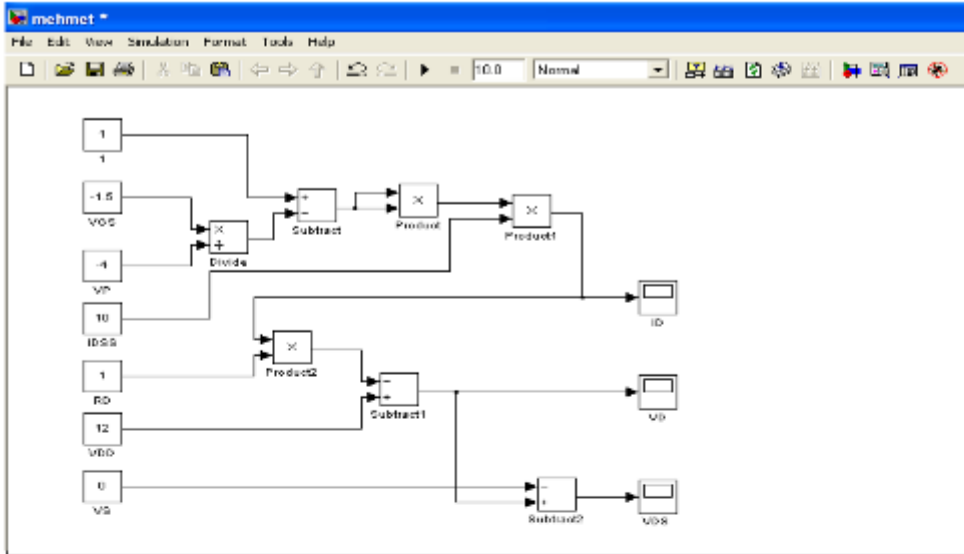
İŞLEM BASAMAKLARI:

1. Deney devresini şekil 4.3 'deki gibi kurunuz. Kontrol ettikten sonra devreye enerji uygulayınız.
2. AVO metre kullanarak; I_D akımını, V_{DS} gerilimini ölçüp not ediniz.
3. JFET'in G-S birleşim yüzeyi, ters polarmalandırılmış bir diyot gibi olduğundan empedansı büyüktür. AVO metre ile
 - V_G ve V_S gerilimlerini ölçüp $V_{GS} = V_G - V_S$ formülünden V_{GS} gerilim değerini hesaplayınız.
4. $R_D = 1K\Omega$ yapınız.
5. AVO metre kullanarak;
 - I_D , V_{GS} , V_{DS} değerlerini ölçüp not ediniz.
 - R_D direnç değerinin azalışı, V_{GS} gerilim değerini değiştirmiş midir? Niçin?
 - R_D direnç değerindeki I_D akımını etkiledi mi? Niçin?

- R_D direnç değerindeki değişme V_{DS} değerini etkilemiş midir? Ne şekilde? Nasıl?
6. $R_D = 1K\Omega$, $R_S = 2.2K\Omega$ yapınız.
7. AVO metre kullanarak;
- I_D , V_{GS} , V_{DS} değerlerini ölçüp not ediniz.
 - R_S direnç değerinin artışı V_{GS} değerini etkiledi mi? Niçin?
 - R_S direnç değerinin artışı I_D değerini etkiledi mi?
 - R_S direnç değerinin artışı V_{DS} değerini de etkiliyor mu?
8. Deney boyunca yaptığınız ölçüm ve gözlemlere göre;
- Şekil 4.3 'deki JFET deney devresinin çalışma noktasını R_D veya R_S direnç değerini değiştirerek kontrol altında tutmak mümkün olur mu?
9. $R_S = 1K\Omega$, $R_D = 2.2K\Omega$ yapınız.
10. $V_{DD} = 10V$ yapınız.
11. AVO metre kullanarak;
- I_D , V_{GS} , V_{DS} değerlerini ölçüp not ediniz.
 - V_{DD} değerinin değişmesi, devrenin çalışma noktasını değiştirdi mi? Açıklayınız.

SONUÇ:

- JFET'in DC açıdan incelenmesinin MATLAB uygulaması:



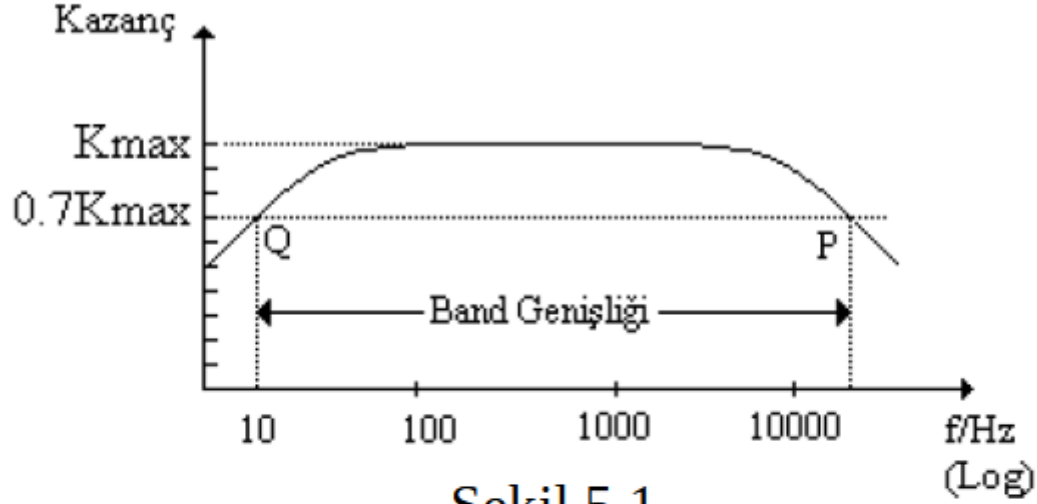
DENEY NO : 5

DENEY ADI : Transistörlerde Kazanç-Band Eğrisinin Elde Edilmesi

DENEYİN AMACI : Bir transistörde kazanç-band eğrisinin elde edilmesini sağlamak

TEORİK BİLGİ

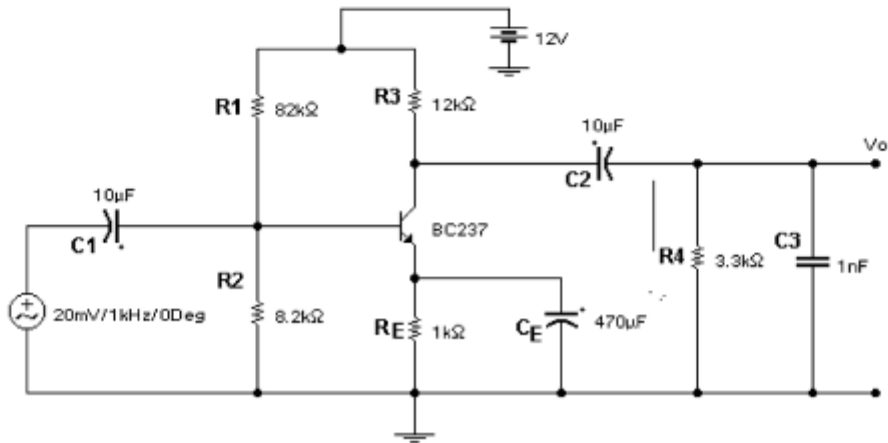
Genel olarak bir transistörde kazanç-frekans eğrisi çizildiğinde şekil 5.1'deki eğri elde edilir.



Şekil 5.1

Kazanç frekans eğrisinden görüldüğü gibi kazancın $1/2$ 'sine düştüğü noktalar (Q , P) köşe frekansları olarak adlandırılır. Transistörden maksimum kazanç elde etmek için transistör orta frekans bölgesinde çalıştırılmalıdır. Q noktasına karşılık gelen frekans f_L alt kesim frekansı, P noktasına karşılık gelen frekans üst kesim frekansı olarak adlandırılır. Köşe frekansları arasında kalan bölge kuvvetlendiricinin band genişliği olarak adlandırılır.
Bandwidth = $f_H - f_L$

Deney Devresi:



Şekil 5.2

Deney Öncesi Yapılacaklar:

- 1) Şekil 5.2'deki devreyi DC çalışma koşullarında inceleyiniz. (Deneyde incelenen devrenin eleman değerlerini kullanarak devrenin DC çalışma noktasındaki I_{CQ} ve V_{CEQ} değerleri hesaplanacak)
- 2) Orta frekanslarda aynı devrenin giriş ve çıkış empedanslarını ve kuvvetlendiricinin gerilim kazancını bulunuz.
- 3) Devrenin alt ve üst kesim frekans değerlerini bulunuz.
- 4) Hesaplamalar doğrultusunda elde edilen kritik noktaları, Kazanç-Frekans eğrisi üzerinde gösteriniz. (Hesaplamalar için ders notlarınız yeterli olacaktır. Hesaplamalarda transistörler için gerekli parametreler kataloğlardan elde edilecektir.)

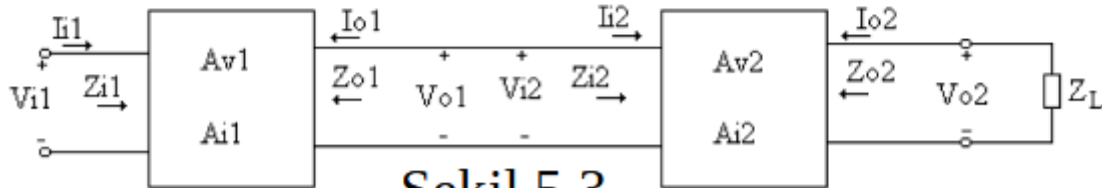
Deneyde Yapılacaklar:

- 1) Şekil 5.2'de verilen devreyi kurunuz. (V_{in} değişken frekanslı sinüzoidal gerilim kaynağıdır.)
- 2) $f=1\text{KHz}$ ve $V_{in}=20\text{mV}$ (peak to peak) uygulayınız. CE devredeyken ve değilken gerilim kazancını bulunuz.
- a) CE devredeyken ve değilken elde edilen kazanç grafiklerini veriniz.
- b) Her iki durum için elde edilen kazanç eğrilerini yorumlayınız.
- 3) Sinyal üreticinin frekansını değiştirerek devrenin alt ve üst kesim frekansını belirleyiniz.
- a) Sinyal üreticinin frekansını değiştirerek elde ettiğiniz kazanç-band genişliği eğrisini veriniz.
- b) Kuvvetlendiricinin band genişliği nedir?

ÖNEMLİ NOT: Çizilen grafiklerde eksenlerin ait olduğu değişkenlerin birimleri mutlaka yazılmalıdır. Birimsiz grafikler değerlendirmeye alınmayacaktır.

Sorular:

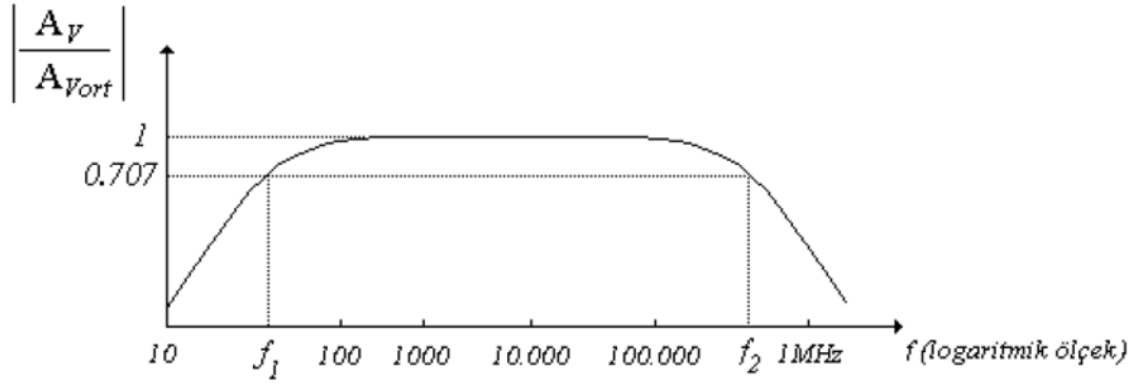
1. Girişe verilen sinyalin gerilim seviyesinin düşük ve yüksek olması durumunda çıkışta elde edilen sinyal bozulmaya uğrar. Bu durumu giriş-çıkış eğrisi üzerinde gösteriniz.
2. OE'li devre DC şartlar altında incelendiğinde RE direncinin devreye olumlu etkisi nasıl olmaktadır.
3. Transistörün yarı iletken yapısından kaynaklanan ve jonksiyonlar arasında oluşan jonksiyon kapasitesi ve difüzyon kapasitesinin yüksek frekanslarda etkisi nasıl olmaktadır.
4. Kaskat bağlı çok katlı transistörli kuvvetlendiricilerde kazanç nasıl hesaplanır. Hesaplama yer alan parametreleri blok bazında basit olarak gösteriniz.
5. Şekil 5.3'de iki katlı yükselteç devresinde, birinci katın gerilim kazancı $AV1 = -40$; ikinci katın gerilim kazancı $AV2 = -50$ ve birinci katın giriş gerilimi $V_{D1} = 1\text{mV}$ ise ikinci katın çıkış gerilimi V_{O2} 'i hesaplayınız.
6. Şekil 5.3'deki kuvvetlendirici devresinin toplam gerilim ve güç kazancını belirli empedans ve akım parametrelerine bağlı olarak formülize ediniz.



Şekil 5.3

7. 40W çıkışlı bir yükselteç 10_ 'luk bir hoparlöre bağlanmıştır.
a-) Güç kazancı 25dB ise tam güç sağlamak için gereken giriş gücünü bulunuz.
b-) Yükseltecin gerilim kazancı 40dB ise nominal çıkış için giriş gerilimini hesaplayın.
8. Uygulamada kazancın frekansa göre değişimi genelde Desibel cinsinden verilir. Decibel kavramı ve ilgili hesaplamalar hakkında bilgi edininiz. Şekil 5.4'de görülen frekans-normalize

kazanç eğrisinin desibel cinsinden kazanç(dB)-frekans grafiğini tekrar elde ediniz. (Normalize kazanç, her bir frekanstaki kazanç değeri orta frekanslardaki kazanç değerine bölünerek elde edilir.)



Şekil 5.4

DENEY NO: 6

DENEYİN ADI: EVİREN VE EVİRMİYEN YÜKSELTEÇLER

DENEYİN AMACI:

Op-amp'ların lineer yükselteçler olarak kullanıldığı bu laboratuvar deneyini başarıyla tamamlayan her öğrenci;

- (1) Evirici yükselteçlerin dizaynını ve analizini yapabilecek.
- (2) Kapalı çevrim gerilim kazancını (A_{CL}) ve V_o arasındaki faz farkını (θ), giriş direncini R_{in} ölçebilecek.
- (3) Evirici olmayan yükseltecin dizaynını ve analizini yapabilecek.
- (4) Evirici olmayan yükseltecin kapalı çevrim gerilim kazancını, faz farkını ölçebilecek.
- (5) Gerilim izleyici yükseltecin analizini yapabilecek.
- (6) Gerilim izleyici yükseltecin kapalı çevrim gerilim kazancını ve faz farkını ölçebilecek.

TEORİK BİLGİ:

Bu deneyde, Op-amplarda negatif geri besleme kavramıyla tanışacağız. Op-amplarda negatif geri besleme kullanmak, $\pm V_{sat}$ sınırları arasında lineer moda yükselteç olarak çalışan op-amp'ın çıkışını etkileyecektir. Negatif geri besleme iki tip yükseltecin gelişmesine temel teşkil eder. Bu yükselteçler, eviren yükselteç ve evirmeyen yükselteçlerdir. Negatif geri beslemeli bir op-amp, harici bir dirençle ayarlanabilen bir kapalı çevrim kazancına sahip olacaktır. Böylelikle yükselteç girişine, giriş sinyalleri uygulanacak bu sinyaller yükseldikten sonra belirli bir kazançla sahip olan çıkış sinyalleri çıkıştan alınacaktır.

KAYNAKLAR:

Kaynak 1 ve ek deki LM741 kataloğu

KULLANILAN ELEMANLAR:

1 adet 741 op-amp	1 adet 10K Ω direnç
1 adet 15K Ω direnç	1 adet 33K Ω direnç
1 adet 100K Ω direnç	1 adet 120K Ω direnç

İŞLEM BASAMAKLARI

A.Evirici Yükseltecin Dizaynı ve Analizi

1. Şekil 5.1 kapalı-çevrim kazancı $A_{CL} = -10$ ve giriş direnci $R_{in} = 10K\Omega$ olarak dizayn edilmiş temel evirici yükselteci görülmektedir.

2.Evirici yükselteç için R_{in}, R_i 'ye eşittir. $R_i = \dots\dots\dots$

$A_{CL} = \dots\dots\dots$, $R_F = A_{CL} * R_i$, $R_F = \dots\dots\dots$

3. V_i ve $V_o =$ arasındaki beklenen faz farkı nedir ? $\theta = \dots\dots\dots$

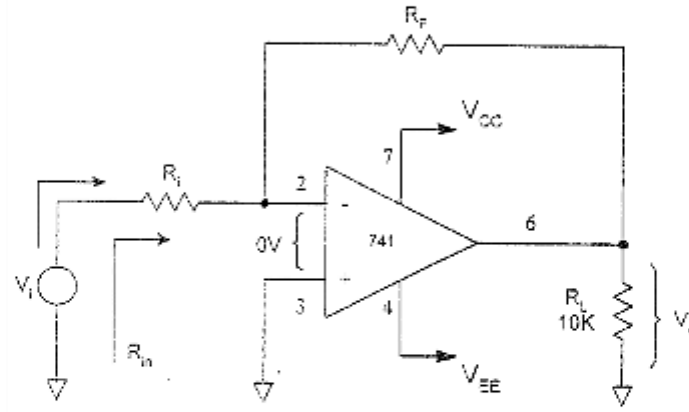
4. Şekil 6.2 için, ilk önce $R_i=33K \Omega$, $R_F=100k \Omega$ dirençlerini renk kodlarına göre ayırın. Bu direnç değerlerini dijital multimetreyle ölçünüz.

$R_i=$ $R_F=$

Şekil 6 deki tüm hesaplamalar için bu ölçülen değerleri kullanın. Ölçülen değerleri Şekil 6.2 ,ye kaydedin.

5.Ölçülen direnç değerlerini kullanarak aşağıdaki değerleri hesaplayınız.

- a) $R_{in} =$
- b)Kapalı çevrim gerilim kazancı $A_{CL}=$
- c) Faz farkı $\theta=$
- d) Beklenen çıkış $V_{O(TPE)}=$ değerini bulunuz $V_O=$

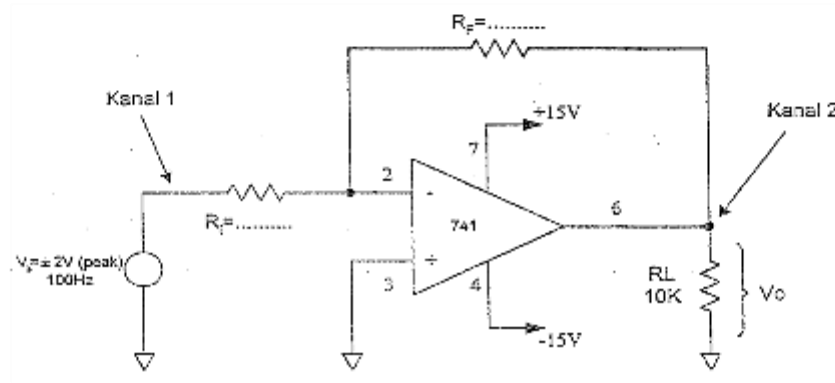


Şekil 6.1. Dizayn Devresi

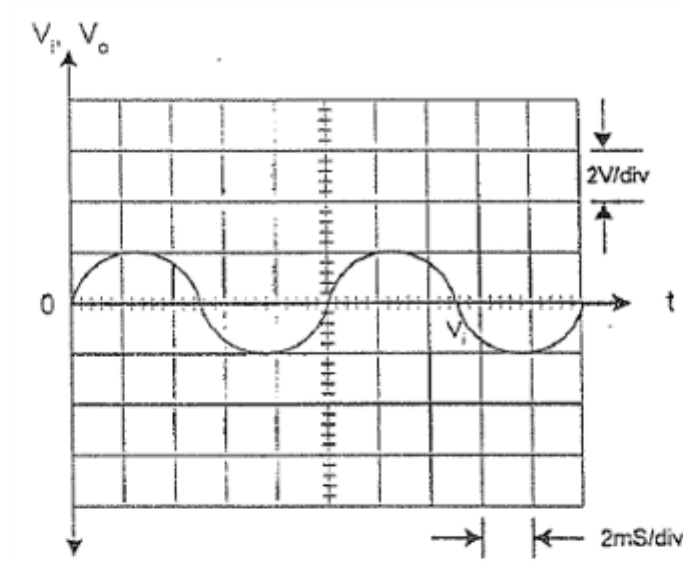
B. A_{CL} , θ ve R_{in} 'in Ölçülmesi

6. Şekil 6.2'yi kurun. V_i için sinüs $\pm 2V_{(tpe)}$, 100Hz değerini ayarlayın. Osilaskobun 1. kanalını kullanarak şekil 5.3'de gösterilen giriş gerilim dalga şeklini elde edin. V_o değerini ölçün. Şekil 6.3 üzerine yazın.

7. Şekil 6.3'ü kullanarak, V_i ve V_o 'dan faz farkını ölçün. $\theta=$



Şekil 6.2. Eviren yükseltecin analizi



Şekil 6.3. V_i -t, V_o -t grafikleri

8. Şekil 6.3'ü kullanarak kapalı çevrim gerilim kazancını (A_{CL}) aşağıdaki eşitlikten hesaplayın. $A_{CL} = \frac{V_{o(peak)}}{V_{i(peak)}} = \frac{V_{o(peak)}}{2V_{i(peak)}}$

9. 5.c''de olması gereken faz farkı ile 7. adımda ölçülen faz farkı aynı mıdır?

.....

5-b''de hesaplanan A_{CL} ile 8. adımda hesaplanan A_{CL} aynı mıdır?

.....

10. Osilaskobun 2. kanalını 5V/Div'e ayarlayın. V_o 'yu kanal aracılığıyla izlerken V_i değerini $+5V_{(tepe)}$ değerine arttırın. V_o değerine ne olduğunu açıklayın.

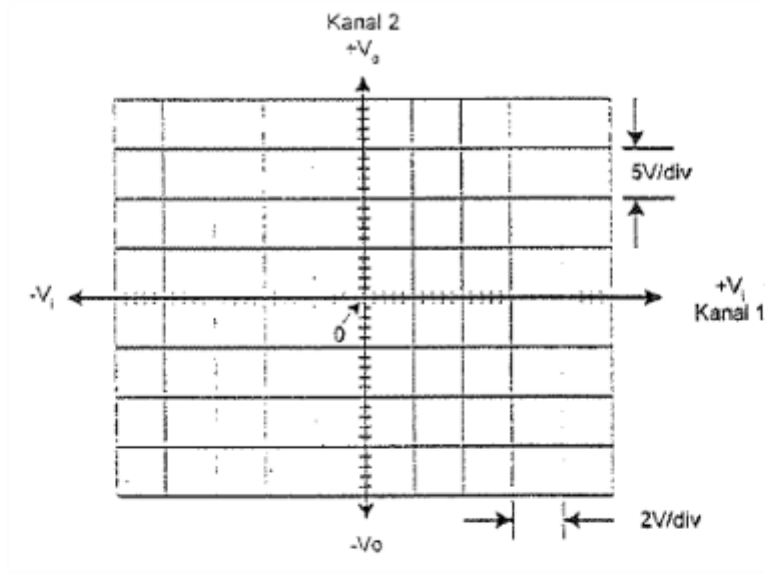
.....

11. Yine şekil 6.2''den V_i 'yi tam olarak 1.00V(rms) değerine ayarlayınız. AC gerilimlerde bu ölçümü dijital multimetre ile yapınız. Sonra op-amp''ın evirici giriş terminalinde rms gerilimin değerini ölçün. $V_{rms} = \dots\dots\dots$

Not: $V(-)$, geri beslemeyle yaklaşık 0V''a eşittir.

12. 4.adımda ölçülen R_f değerini kullanarak aşağıda verilen Ohm kanunu ile R_{in} 'in değeri bulunabilir.

$$R_{in} = \frac{V_i}{I_i} = \frac{V_i}{((V_i - V_{(-)}) / R_f)}$$



Şekil 6.4. Eviren yükseltecin transfer karakteristiği

13. Yukarıda bulunan giriş direnci(R_{in}) 5a adımında belirlenen değere eşit mi ?

14. Evirici yükseltecin transfer eğrisini bulabilmek için; ilk önce $V_i \approx \pm 2V_{(tepe)}$ yapılır. V_o 'yi görmek için kanal 1'i 2V/Div yakın. V_o için 2.kanalı 5V/Div yapın. Osilaskobu XY konumuna alın Her iki kanalı da topraklayın. Spotu koordinatların tam ortasına, sıfır noktasına getirin. (Şekil 6-4'de gösterildiği gibi)

15. DC kuplaj konumuna geçin ve dalga şeklini 6.4'e çizin. A_{CL} 'yi aşağıdaki eşitliği kullanarak hesaplayın.

$$A_{CL} = \frac{rise}{run}$$

16. V_o , giriş gerilimi ile aynı fazda mıdır? Yoksa 180° faz farkı var mıdır?

NOT: 0 o faz farkı yukarı ve sağa doğru, 180° faz farkı aşağı ve sağa doğrudur.

17. V_i 'yi ± 5 V(tepe) değerine getirin. Sonucu 6.4'e noktalı çizgiler halinde çiziniz. Transfer eğrisinin niçin yassılaştığını açıklayın.

C: Evirici Olmayan Yükseltecin Dizaynı ve Analizi

18. Şekil 6.5 kapalı çevrim gerilim kazancı, $A_{CL} = 2$ olacak şekilde dizayn edilmiş temel evirici olmayan yükseltici göstermektedir.

19. Evirici olmayan yükselteç için R_{in} değeri çok büyüktür. Bu dizayn için ($\infty\Omega$) değerinde kabul edilebilir.

20. Şekil 6.5'i $A_{CL} = 2$ olacak şekilde dizayn edin.

- R_i için 10Ω ve $100K\Omega$ 'dan birini seçin.
- Kazanç eşitliğini kullanarak R_F 'yi çözün.

21. V_i ve V_o arasındaki beklenen faz farkı ne kadardır? $\theta = \dots\dots\dots$

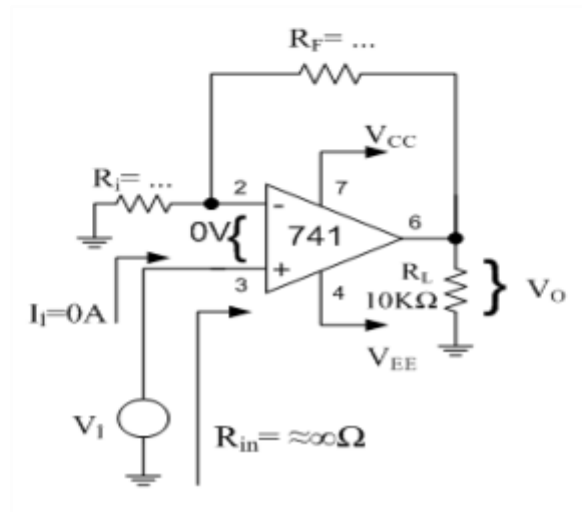
22. Şekil 6.6 için üzerindeki renk kodlarından $R_i = 15K\Omega$ ve $R_F = 120 K\Omega$ değerlerini seçin. Bu direnç değerlerini multimetre ile ölçüp şekil 6.6 üzerine kaydedin. Şekil 6.6 için yapılacak tüm hesaplamaları bu ölçülen değerleri kullanarak yapın.

23. Aşağıdaki değerleri hesaplayın.

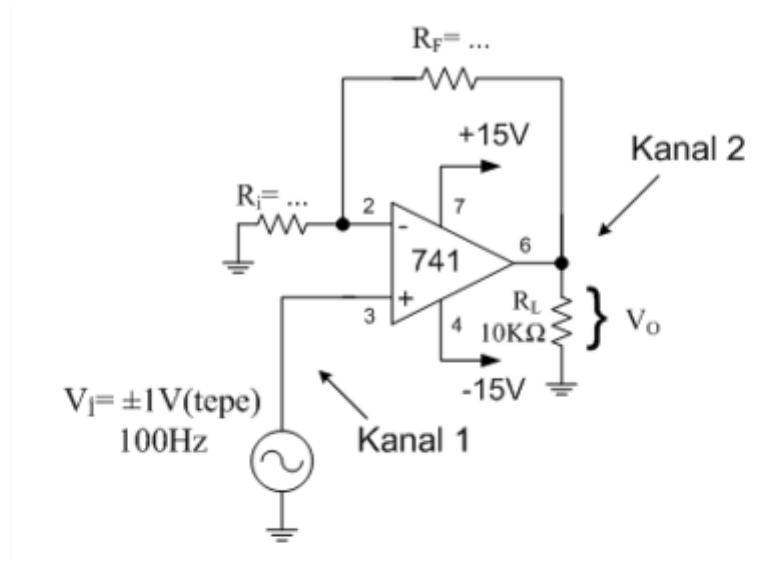
- | | |
|---|----------------------------|
| a. R_{in} 'in beklenen değeri | $R_{in} = \dots\dots\dots$ |
| b. Kapalı çevrim gerilim kazancı | $A_{CL} = \dots\dots\dots$ |
| c. Faz farkı | $\theta = \dots\dots\dots$ |
| d. Çıkış gerilimi V_o 'nun beklenen tepe değeri | $V_o = \dots\dots\dots$ |

D: A_{CL} ve θ 'nın Ölçülmesi

24. Şekil 6.6'daki devreyi kurun. V_i değerini sinüs $\pm 1V$ (tepe), 100Hz değerine ayarlayın. Şekil 6.7'deki dalga şeklini osilaskobun 1. kanalını kullanarak elde ediniz. Şekil 6.7 üzerine V_o değerini ölçüp çiziniz.



Şekil 6.5. Dizayn Devresi



Şekil 6.6. Evirmeyen yükseltecin analizi

25. Şekil 6.7'yi kullanarak, V_i ve V_O arasındaki faz farkını ölçün. $\theta = \dots\dots\dots$

26. Şekil 6.7'yi kullanarak, kapalı çevrim gerilim kazancını ölçün.

$$A_{CL} = \frac{V_{o(tepe)}}{V_{i(tepe)}}$$

27.a. 23 c''de tahmin edilen faz farkı ile 25. adımda ölçülen faz farkı aynı mı?

.....

b. 23 b''de hesaplanan ACL ile 26. adımda ölçülen A_{CL} aynı mı?

.....

28. V_O kırılmaya başlayıncaya kadar V_i 'yi yavaşça arttırın. Distorsiyon başlamadan hemen önce maksimum $V_{i(tepe)}$ değerini kaydedin. $V_{imax} = \dots\dots\dots$

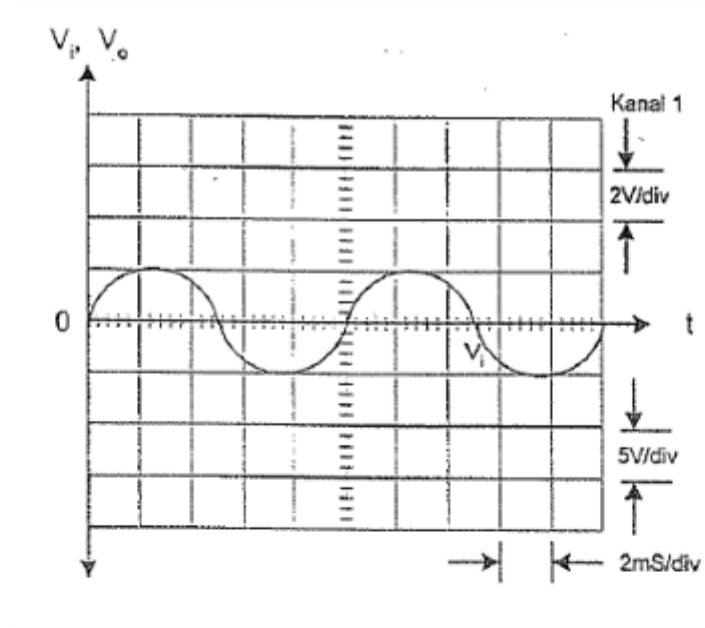
29. Evirici olmayan yükseltecin transfer eğrisini görebilmek için, ilk önce V_i 'yi $\pm 1V_{(tepe)}$ değerine ayarlayın. V_i için 1. kanalı 0.5 V/div'e, V_O için 2. kanalı 5V/div'e ayarlayın. Osilaskobu XY konumuna alın. İki kanalı da topraklayın ve spotu şekil 6.8'deki gibi merkeze getirin.

30. Her iki kanalı da DC kuplaj moduna getirin. Dalga şeklini 6.8 üzerine çizin. A_{CL} 'yi aşağıda verilen eşitlikten hesaplayın.

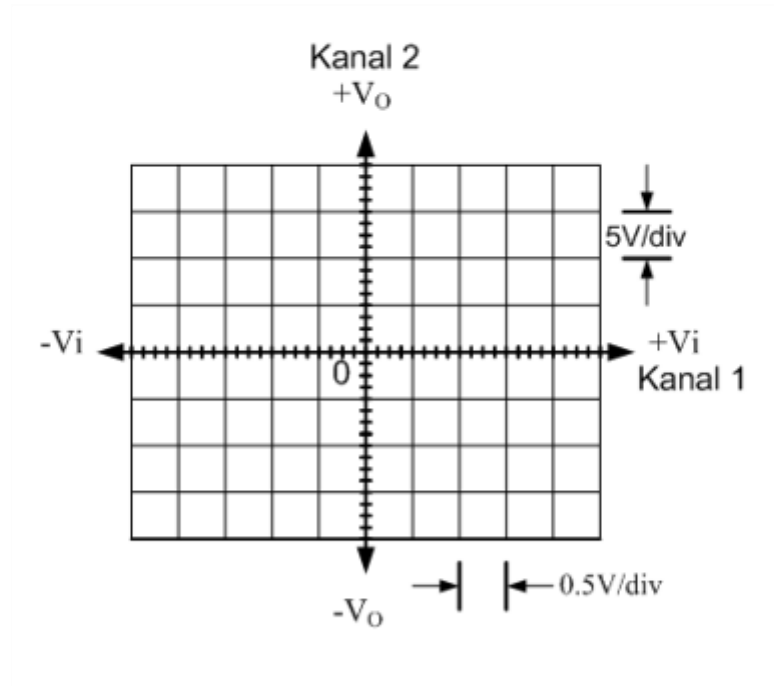
$$A_{CL} = \frac{rise}{run}$$

31. V_O , giriş gerilimi ile aynı fazda mı ? Yoksa 180° faz farkı mı var?

.....



Şekil 6.7. V_i -t, V_o -t grafikleri



Şekil 6.8. Evirmeyen yükseltecin transfer katarakteristiği

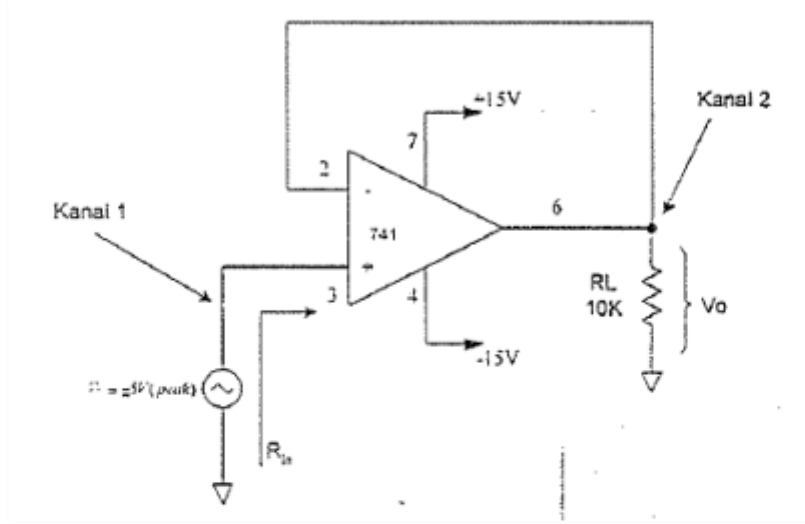
32. V_o değerini $\pm 2V_{(tepe)}$ değerine yükseltin. Sonucu şekil 6.8 üzerine çizgilerle çizin. Transfer eğrisinin neden yassılaştığını açıklayın.

.....

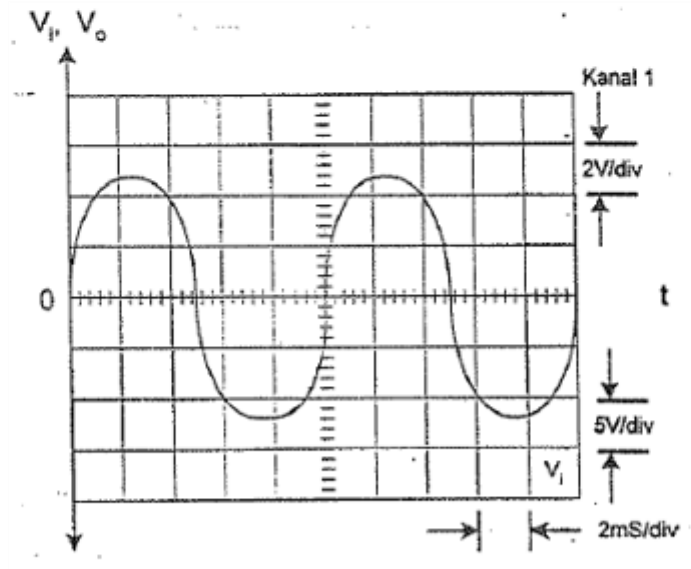
.....

33. Şekil 6.9'daki gerilim izleyici yükseltece bakarak aşağıdaki değerleri bulunuz.

- a) R_{in} 'in umulan değeri, $R_{in} = \dots\dots\dots$
- b) Kapalı çevrim gerilim kazancı, $A_{CL} = \dots\dots\dots$
- c) Faz farkı, $\theta = \dots\dots\dots$
- d) Çıkış gerilimi V_o 'nun umulan tepe değeri, $V_o = \dots\dots\dots$



Şekil 6.9. Voltaj izleyici



Şekil 6.10. V_i -t, V_o -t grafikleri

34. Şekil 6.9'da gösterilen devreyi kurun. V_i 'yi sinüs $\pm 5V_{(tepe)}$ 100Hz değerine ayarlayın. V_i için 1. kanalı 2V/div kademesine alın ve şekil 6.10'daki dalga şeklini elde edin. V_o değerini ölçün ve zaman tabanında Şekil 6.10'a çizin. Kanal 2'yi 5V/div kademesine ayarlanmış olmalıdır.

35. Şekil 6.10'u kullanarak kapalı çevrim gerilim kazancını (A_{CL}) ölçün.

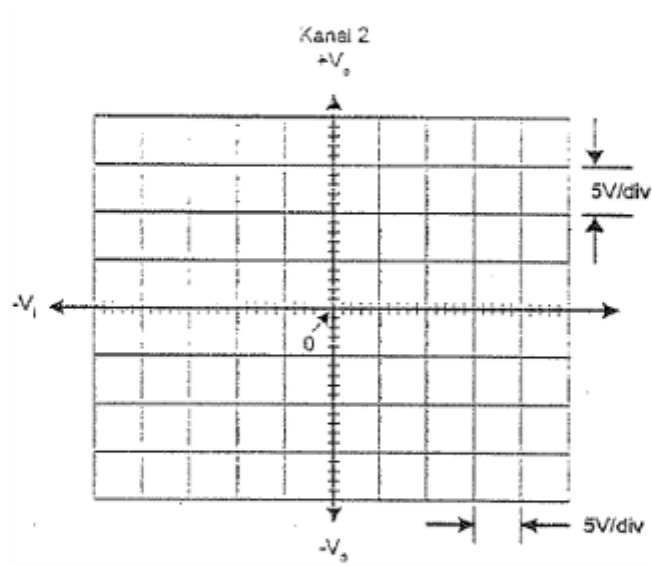
$$A_{CL} = \frac{V_{(step)}}{V_{(step)}}$$

36. A_{CL} ve θ 'nın umulan değerleriyle ölçülen değerleri aynı mı?

37. Gerilim izleyicinin transfer eğrisini görmek için ilk önce, $V_i \pm 5V_{(step)}$ değerine ayarlayın. Osilaskobun iki kanalını da 5V/div kademesine ayarlayın. Osilaskobu XY moduna alın. Her iki kanalda topraklayın ve sporu şekil 6.11'deki gibi merkeze alın.

38. Osilaskobun her iki kanalını da DC kuplaj moduna alın ve dalga şeklini şekil 6.11 üzerine çizin. Aşağıdaki eşitliği kullanarak kapalı çevrim kazancını hesaplayın.

$$A_{CL} = \frac{rise}{run}$$



Şekil 6.11. Voltaj izleyicinin transfer karakteristiği

39. V_o , giriş gerilimi ile aynı fazda mı? Yoksa 180° faz farkı mı var?

.....

40. V_i 'yi maksimum çıkışına yükseltin. Sonucunu şekil 6.11'e noktalı çizgilerle çizin. $-V_{sat}$ 'ı ölçebiliyor musunuz? Niçin açıklayınız.

.....

.....

SONUÇ:

DENEY NO:7

DENEYİN ADI: TÜREV ALICI

DENEYİN AMACI:

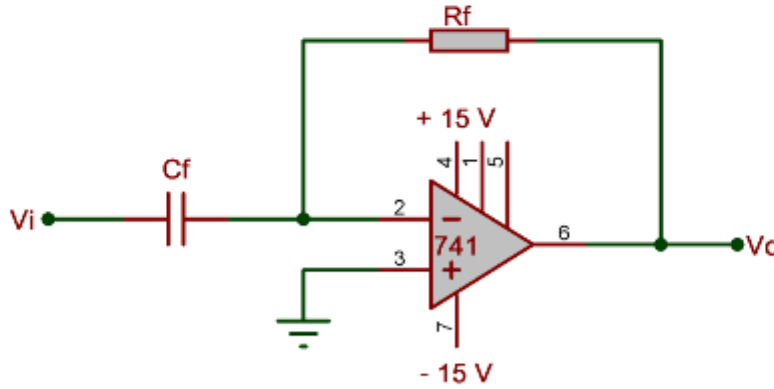
Bu deneyi başarıyla tamamlayan her öğrenci,

1. Türev alıcı devrenin girişine uygulanan üçgen dalga sinyali çıkışta kare dalga olarak görebilecek
2. Devrenin girişteki değişim oranına eşit bir çıkış oranı sağladığını görebilecek
3. Türev alıcı devresinin yüksek geçiren filtre özelliği gösterdiğini görebilecek
4. Değişik türev alıcı devreleri tasarlayıp kurabilecek
5. Tasarlanan türev alıcı devreleri test edebilecek

TEORİK BİLGİ:

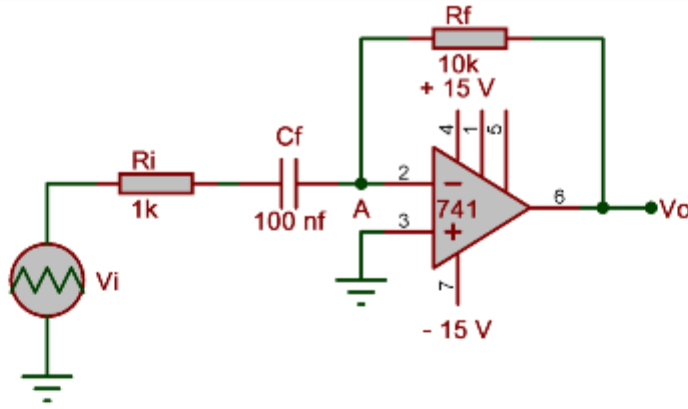
Türev alıcı devresi, genel olarak bir eviren yükselteç özelliğindedir (Şekil 7.1). Fark olarak girişte direnç yerine kondansatör (C_f) bulunmaktadır. Devre, girişine uygulanan periyodik işaretin türevini alarak çıkışa aktarır. Bu işlem formüllerle şu şekilde açıklanabilir. Op-amp devresinin giriş empedansı çok yüksek olduğundan A noktasındaki gerilim yaklaşık 0 volt ($-$ uçtaki gerilim) civarındadır. Buna göre; C_f kondansatörü üzerinden akacak akım;

$I_f = C_f \times (dV_i / dt)$ olur. Çıkış gerilimi $V_o = I_f \times R_f$ olarak yazılabilir. (A noktasında yaklaşık olarak 0 volt olduğundan). $V_o = - (R_f \times C_f) \times (dV_i / dt)$ olacaktır. Görüldüğü gibi Şekil 7.1 de devre girişine uygulanan V_i işaretinin türevini alıp (dV_i / dt) belirli bir sabit ile ($R_f \times C_f$) çarparak çıkışına aktarılmaktadır.



Şekil 7.1

Şekil 7.1 deki devre uygulamada bu haliyle yeterli değildir çünkü C_f kondansatörü yüksek frekanslardaki işaretlerde kısa devre gibi davranacağından yükseltecin kazancı artar, çıkış bu frekanslar için yüksek değerlere ulaşır. V_i işaretinin frekansı yüksek olmasa bile beraberinde gürültü mevcut olabilir. Gürültü işareti çok geniş frekans tayfına sahip olduğundan Şekil 7.1 deki devre gürültünün yüksek frekans bölümü olduğu gibi yükseltebilir. Bu ise istenmeyen bir durumdur. Bu nedenle op-amp devresi kazancına yüksek frekanslar için bir sınır koymak gerekir. Bu işlem Şekil 7.2 de görüldüğü gibi bir R_i direncinin eklenmesi ile sağlanabilir. Artık devrenin maksimum kazancı R_f / R_i olarak sınırlandırılmıştır.



Şekil 7.2

Bu devrenin türev alıcı devre olarak çalışabilmesi için 2 kuralın yerine getirilmesi gerekmektedir.

1. Giriş işaret frekansı; $f < 1 / (2\pi R_i C_f) \approx f_c$ olmalıdır. Aksi halde devre türev alıcı olarak çalışmaz. (f_i = giriş frekansı, f_c = kesim frekansı)
2. Devrede $R_f \times C_f$ çarpımı zaman sabitesi olarak isimlendirilir. Giriş işaretinin periyodu yaklaşık bu değer civarında olmalıdır.

Şekil 7.2 devre frekansı 1 KHz sinüsoidal iŞaret için türev alıcı olarak çalışabilir mi?

Gerekli hesaplamaları yaparak açıklayınız?

.....

.....

.....

.....

Şekil 7.2 deki devrenin söz konusu iŞaret için türev alıcı devre olarak çalışabileceğini kanıtladıktan sonra, devre girişine 0,5 V genlikli ve 1 KHz frekanslı bir sinüsoidal uygulandığında çıkışta görülecek iŞaretin ne tip bir iŞaret olduğunu araştıralım;

Giriş iŞaretini;

$$V_i = 0,5 \sin 2\pi f t$$

$V_i = 0,5 \sin 2\pi(1000)t$ olarak formülüne edilir.

Çıkış iŞaretini;

$V_o = - (R_f \times C_f) / (dV_i / dt)$ olduğuna göre

$$V_o = - (10k)(100nf) d/dt (0,5 \sin 2\pi(1000)t)$$

$$V_o = - (10 \times 10^3)(100 \times 10^{-9})(0,5 \sin \times 2\pi \times 1000)(\cos 2\pi(1000)t)$$

$$V_o = - (10^{-3} \times 0,5 \times 6,28 \times 1000)(\cos 2\pi(1000)t)$$

$$V_o = - 3,14 \cos 2\pi(1000)t \text{ olur.}$$

O halde çıkış iŞareti, 3,14 Vp değerli ve 1 KHz frekanslı bir cosinüs eğrisidir.

DEVREDE KULLANILACAK ELEMANLAR:

1 adet 10K ve 1 adet 1K direnç

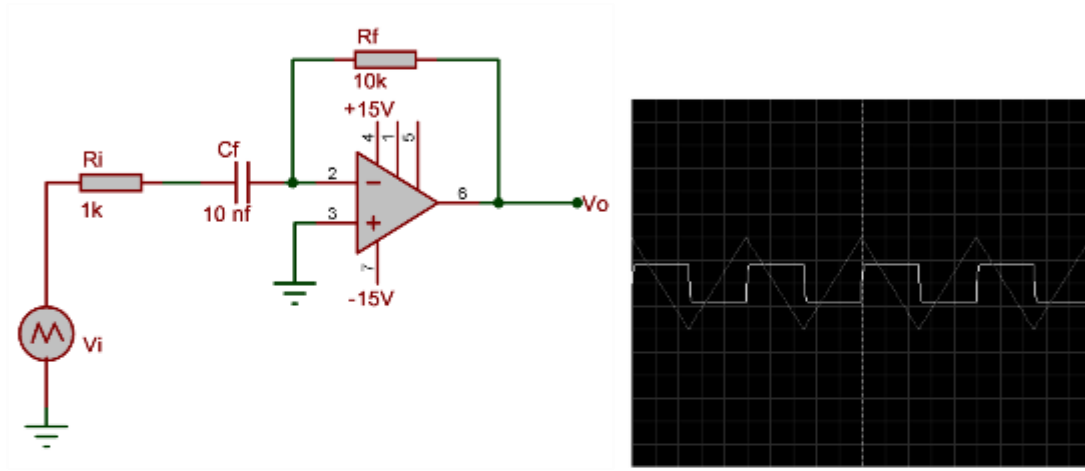
Yeterince zil teli

1 adet 10nf kondansatör

1 adet 741 op-amp

1 adet sinyal jeneratörü

1 adet osilaskop



Şekil 7.3

Deneyle ilgili hesaplamalar

Deney devresinde verilen değerlere göre f_c ve f_i değerlerini hesaplayınız.

.....

.....

$V_o = (V_2 - V_1) / (t_1 - t_0) \times (C_f \times R_f)$ formülüyle çıkış gerilimini hesaplayınız.

.....

İŞLEM BASAMAKLARI

1. Devreyi Şekil 7.3 deki gibi kurunuz.
2. Güç kaynağının + ve - bölümlerini sırasıyla +15V ve - 15V a ayarlayınız. Besleme gerilimlerini uygulayınız.
3. Sinyal jeneratörü çıkışını, frekansı 1 KHz genliği 2Vp bir üçgen dalgaya ayarlayınız.
4. Osilaskobun 1. Kanalına giriş işaretini, 2. Kanalına çıkış işaretini uygulayınız. Her iki kanalıda frekansı 1 KHz genliği 1 volt olabilecek bir işareti en iyi şekilde görüntüleyecek biçimde ayarlayınız.
5. Sinyal jeneratörü çıkışını, devre girişine uygulayınız.
 - a. Vi ve Vo işaretlerini birlikte gözleyip, aralarındaki farkları not ediniz. Devre türev alıcı olarak çalışıyor mu?

.....

.....

- b. Vo işaretinin şekil 7.4 e çizin. Tepe genliğini ölçüp not ediniz. Bu sonucu, bulduğunuz sonuçla karşılaştırınız.

.....

.....

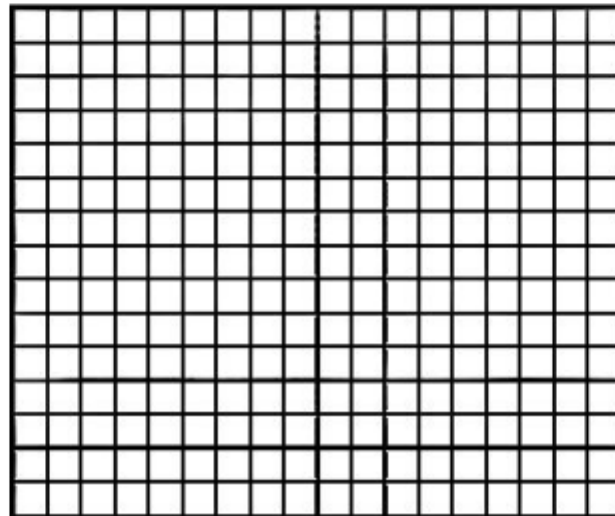
6. Girişe uygulanan üçgen dalgaının genliği aynı kalmak koşulu ile frekansını yarıya düşürerek çıkışı gözlemleyiniz. (0,5 KHz)
7. Çıkışta gözlemlediğiniz işarete ne gibi değişiklikler oldu? Bu değişiklikleri nasıl açıklarsınız?

.....

.....

.....

.....



Şekil 7.4

DENEY NO:8

DENEYİN ADI: İNTEGRAL ALICI

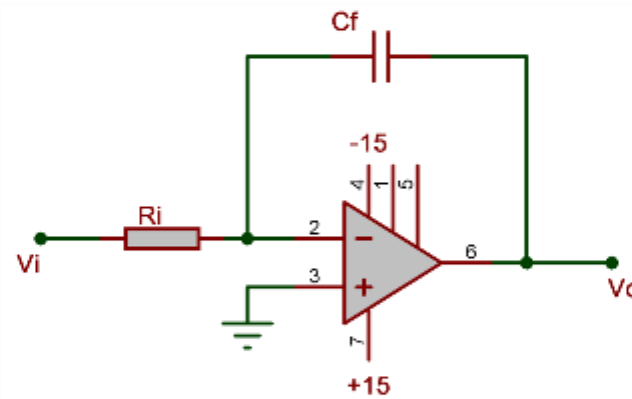
DENEYİN AMACI:

Bu deneyi başarı ile tamamlayan her öğrenci;

1. İntegral alıcı devrenin girişine uygulanan sinüs dalga sinyali çıkışta üçgen dalga olarak görebilecek
2. Devrenin girişteki değişim oranına eşit bir çıkış oranı sağladığını görebilecek
3. Değişik integral alıcı devreleri tasarlayıp kurabilecek
4. Tasarlanan integral alıcı devreleri test edebilecek

TEORİK BİLGİ:

İntegral alıcı devresi genelde girişine uygulanan işaretin integralini alır ve çıkışa aktarır. Bu işlemi yapan bir op-amp devresi şekil 8.1 de görülmektedir. Dikkat edilecek olursa, türev alıcı devresindeki direnç ve kondansatörlerin yerlerini değiştirmek suretiyle integral alıcı devresi elde edilmektedir. Bu devrede de A noktasındaki gerilim op-amp çıkış özelliğinden dolayı, 0V civarındadır.



Şekil 8.1

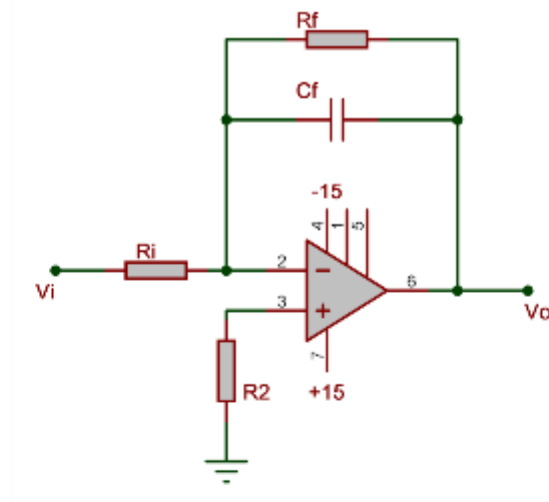
Bu durumda; $I_g = V_i / R_i$ yazılabilir.

$V_o = 1/C_f$ ve $I_f = -I_g$ olduğuna göre,

$$V_o = 1/C_f \times \quad = -1/C_f \times$$

$V_o = -1/(C_f \times R_i) \times$ olarak bulunur.

Bilindiği gibi integral anlam olarak bir eğrinin altında kalan alana karşılık gelmektedir. Op-amp devresindeki giriş ofset geriliminin giderek op-amp'ı doyuma götürmesini önlemek için Şekil 8.1 deki devre de değişiklik yapmak gerekir. Bu değişiklik C_f kondansatörüne paralel bir R_i direnci bağlanarak yapılır(Şekil 8.2). Giriş polarma akımlarının eşit olmamasından doğacak ofset gerilimini ve dolayısıyla bu gerilimin etkilerini gidermek amacıyla şekil 8.2 de görüldüğü üzere R_2 direnci kullanılır.



Şekil 8.2

Bu direncin değeri $R_2 = R_f // R_i$ yani $R_2 = (R_f \times R_i) / (R_f + R_i)$ olmalıdır. Devrenin bir integral alıcı olarak görev yapabilmesi için girişine uygulanan frekansı (f_i), f_c frekansından büyük yada eşit olmalıdır.

$$f_i > f_c = 1 / (2\pi R_f C_f)$$

Ayrıca devrenin zaman sabitesi ($1 / (R_i C_f)$) ile girişine uygulanan işaretin periyodu birbirlerine yakın değerde olmalıdır. $f_i < f_c$ olduğunda devre eviren yükselteç olarak çalışır ve çıkışta girişin R_f / R_i kadar yükseltilmiş görür. Integral alma işlemi türev almanın tersi olduğundan bir integratör girişine kare dalga uygulandığında çıkışta üçgen dalga elde edilir.

DEVREDE KULLANILACAK ELEMAN VE CİHAZLAR

2 adet 10K direnç

1 adet 100K direnç

Yeterince zil teli

1 adet 0,01 μ f kondansatör

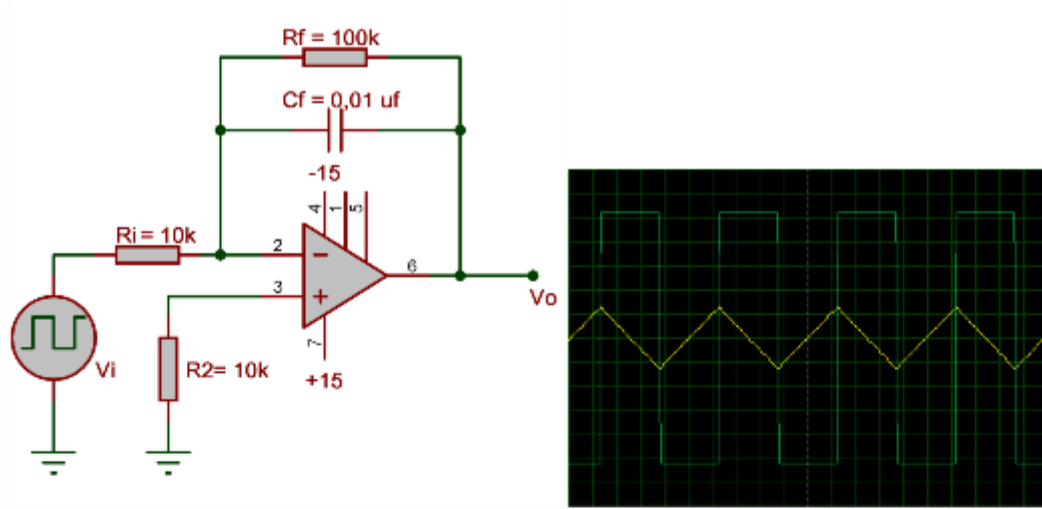
1 adet 741 op-amp

1 adet sinyal jeneratörü

1 adet osilaskop

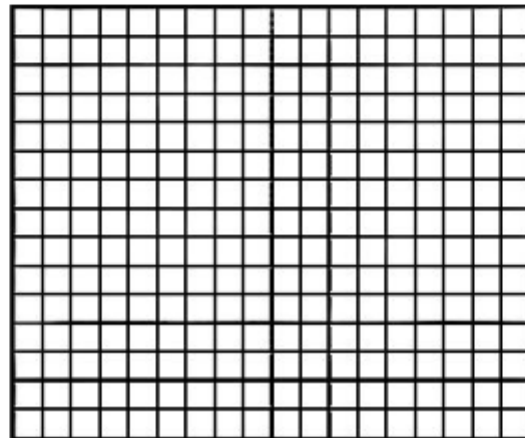
İŞLEM BASAMAKLARI

1. Devreyi şekil 8.3 deki gibi kurunuz.
2. Güç kaynağının + ve - bölümlerini sırasıyla +15V ve -15V değerine ayarlayınız. Besleme gerilimlerini devreye uygulayınız.
3. Sinyal jeneratörünün çıkışını frekansı 10 KHz ve genliği 2Vp olan bir kare dalgaya ayarlayınız.
4. Osilaskobun 1. Kanalını giriş işaretine, 2. Kanalını ise çıkış işaretine bağlayınız. Her iki kanalı da frekansı 1 KHz ve genliği 1V olabilecek bir işareti en iyi şekilde görüntüleyecek biçimde ayarlayınız.



Şekil 8.3

5. Sinyal jeneratörünün çıkışını devre girişine uygulayınız.
- V_i ve V_o işaretlerini birlikte gözleyip, aralarındaki farkları not ediniz. Devre integral alıcı olarak çalıştı mı? $V_{i-p-p} = \dots\dots\dots$ $V_{o-p-p} = \dots\dots\dots$
 - V_o işaretinin şekil 8.4 e çizin. Tepe genliğini ölçüp not ediniz. Bu sonucu, bulduğunuz sonuçla karşılaştırınız.
 - V_o gerilimi $0V$ etrafında mı salınıyor? Niçin? $R_f = 100K$ direncine paralel bir $10K$ bağlayınız. bu durumda çıkış işaretini gözleyiniz. Sonucu not ediniz.



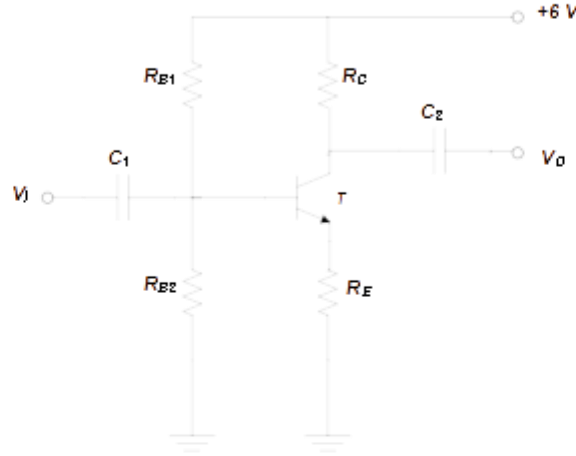
Şekil 8.4

DENEY NO : 9

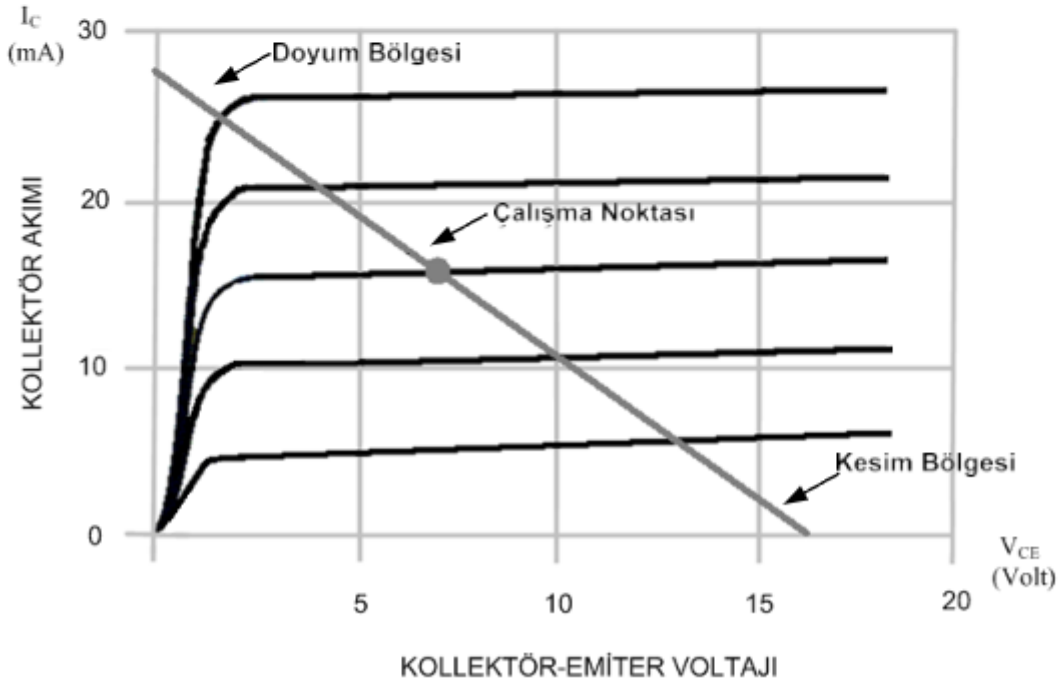
DENEYİN ADI : B Tipi Yükselteç Çalışmasının İncelenmesi

DENEYİN AMACI : Bir transistörün B tipi çalışmasını incelemek.

TEORİK BİLGİ : Transistörün çalışma noktasının bulunduğu yak ere göre çalışma türü A, AB, B, C şeklinde sınıflandırılır. Bu sınıflandırma emiteri ortak devrede incelenmektedir. Şekil 9.1'de emiteri ortak bir devre, Şekil6.2'de ise çıkış I-V grafik ailesi görülüyor. Açıklamalar NPN tipi transistör için yapılacaktır.



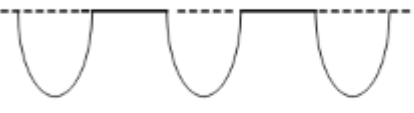
Şekil 9.1



Şekil 9.2

Transistörün Beyz-Emiter birleşim yüzeyi üzerindeki DC polarma 0V yapıldığında I_b ve dolayısıyla I_c akımı 0 olur. Bu durumda çalışma noktası Q_1 'dedir. Giriş işaretinin pozitif alternanslarında kollektörde akım akmasına karşın negatif alternanslarda kollektör akımı akmaz. Bu şekilde, yarı periyot süresince kollektör akımının akmaması türündeki çalışmayı “E tipi çalışma” denir. Bu tip çalışmada, girişe işaret uygulanmazken kollektör akımı sıfırdır ve transistörde bir güç harcaması olmaz. Tablo 6.1’de B tipi çalışmada çıkış işaretinin durumu görülmektedir.

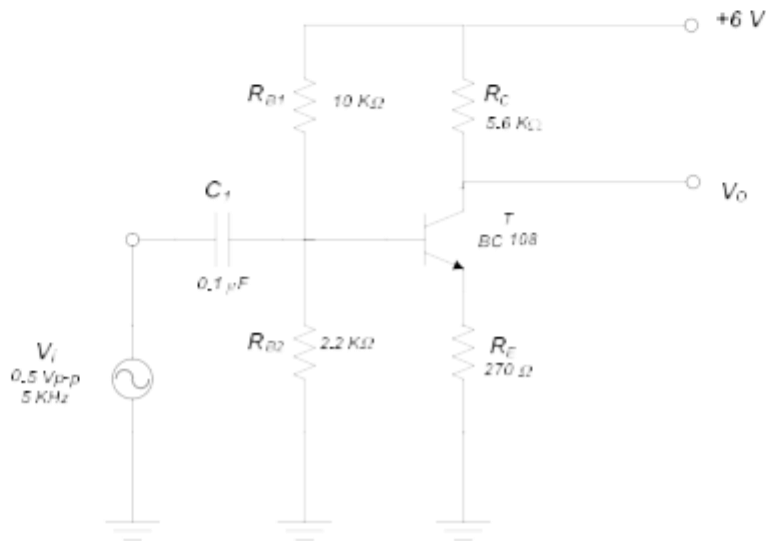
Tablo 9.1

Çalışma noktası	Giriş İşareti	Çıkış İşareti	Çalışma tipi
Q_1			

DENEYDE KULLANILACAK DEVRE ELEMANLARI:

- ① 1 adet 270Ω direnç
- ① 1 adet $5.6K$ direnç
- ① 1 adet $2.2K$ direnç
- ① 1 adet $0.1 \mu F$ kondansatör
- ① 1 adet BC 108 transistör

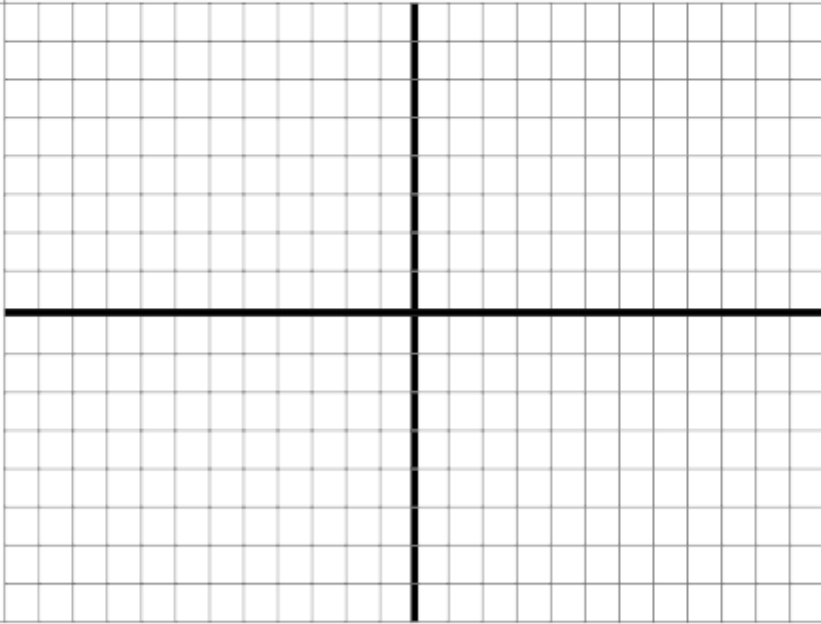
DENEY DEVRESİ:



İŞLEM BASAMAKLARI:

1. Şekildeki devreyi yerleşim planına göre kurunuz.
2. İşaret üreticinin çıkışını 56 KHz frekanslı ve 0.5 volt (tepe-tepe) şinüsoidal işarete ayarlayınız.
3. İşaret üreticini devre girişine bağlayınız. Kurduğunuz devreyi kontrol ettikten sonra gerilim uygulayınız.
4. Yükselteç çıkışını osilaskop DC konumda iken (Bu sırada Volt/Div anahtarı 2V kademesinde olmalıdır.) görüntüleyiniz.
5. Gözlediğiniz şekli, genlik değerlerini de belirterek, Tablo 9.2’de ilgili yere çiziniz.
6. DC kollektör akımını sayısal multimetre ile ölçüp, Tablo 9.2’de ilgili haneye not ediniz. Bu ölçümü yaparken giriş işaretini devreden çözünüz.

Tablo 9.2

Çalış. Tipi	Çıkış işareti	I _C
B		

7. Çıkış işaretinde bozulma var mı? Nedenini açıklayınız. Bozulma süresi tüm periyodun kaçta kaçıdır? Bu durumda yükselteç B tipi çalışmaya yapıyor denebilir mi?

.....

.....

.....

.....

.....

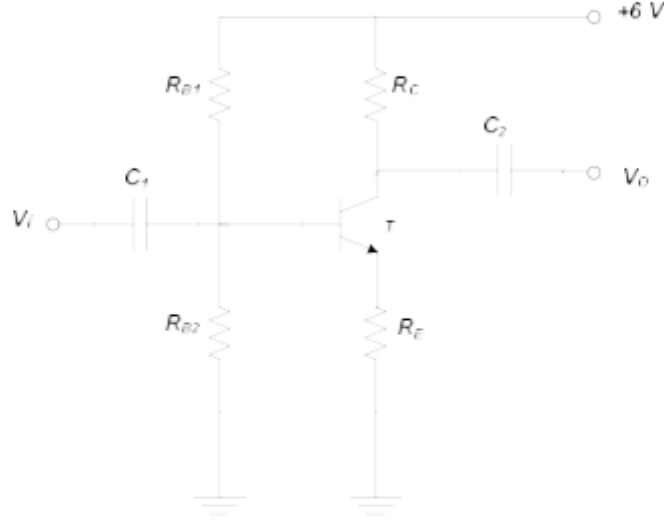
8. DC kollektör akımı A ve AB tipi çalışmaya nazaran azalmış mıdır? Niçin? Açıklayınız.

DENEY NO : 10

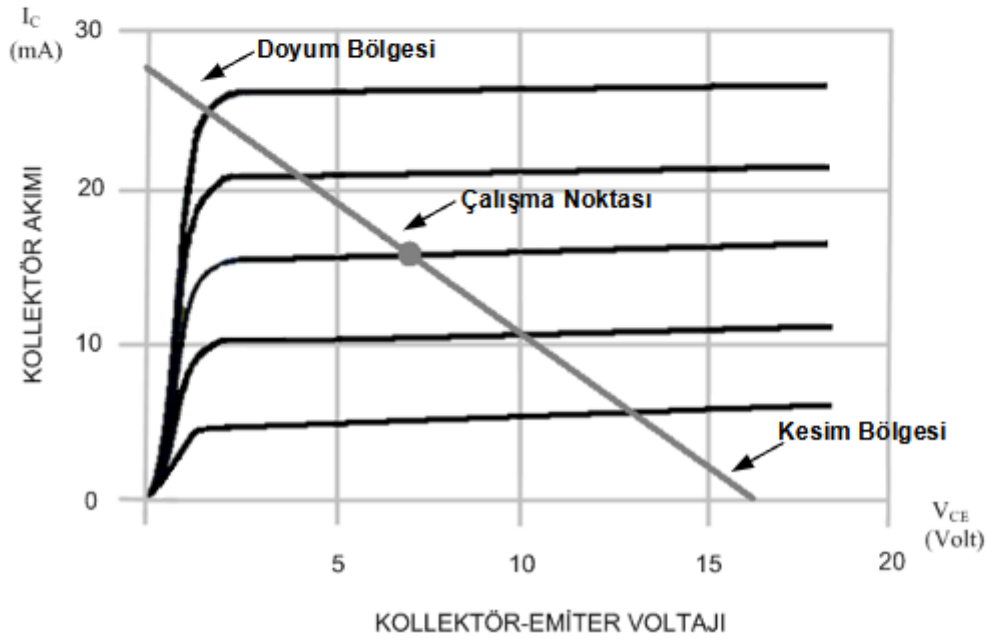
DENEY ADI : C Sınıfı Yükselteç

DENEYİN AMACI : Bir transistörün C tipi çalışmasını incelemek.

TEORİK BİLGİ : Transistörün çalışma noktasının bulunduğu yere göre çalışma türü A,AB, B,C şeklinde sınıflandırılabilir. Bu sınıflandırma emiteri ortak devrede incelenecektir. Şekil 10.1'de emiteri ortak bir devre, Şekil 10.2'de ise çıkışı I-V grafik ailesi görülmüyor. Açıklamalar NPN tipi transistör için yapılacaktır.



Şekil 10.1

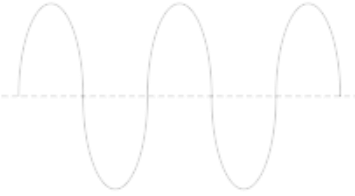
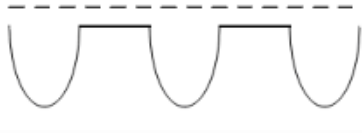


Şekil 10.2

Transistörün beyz-emiter birleşim yüzeyi az miktarda ters polarmaya uğratıldığında ise transistör sadece pozitif alternansın bir bölümünde iletken olacak ve kollektör akımı akacaktır. Bu tip çalışmada kollektör akımı yarı periyoddan da daha kısa bir süre için mevcut olacaktır. Transistörün bu şekilde çalışmasına “C tipi çalışma” denir.

Tablo 10.1’e bakınız. C tipi çalışan transistörlerle “C tipi güç yükselteçleri” yapılır. Bu tip yükselteçler özellikle radyo frekans işaretlerinde kullanılır. Çıkışlarına bağlanan bir tank devresi ile işaretin bozulmadan yükseltilmesi sağlanmış olur. C tipi yükselteç ile daha küçük güçlü transistör kullanarak, A, AB, B tipi yükselteçlerde ulaşılan güç yükseltimine ulaşabilir.

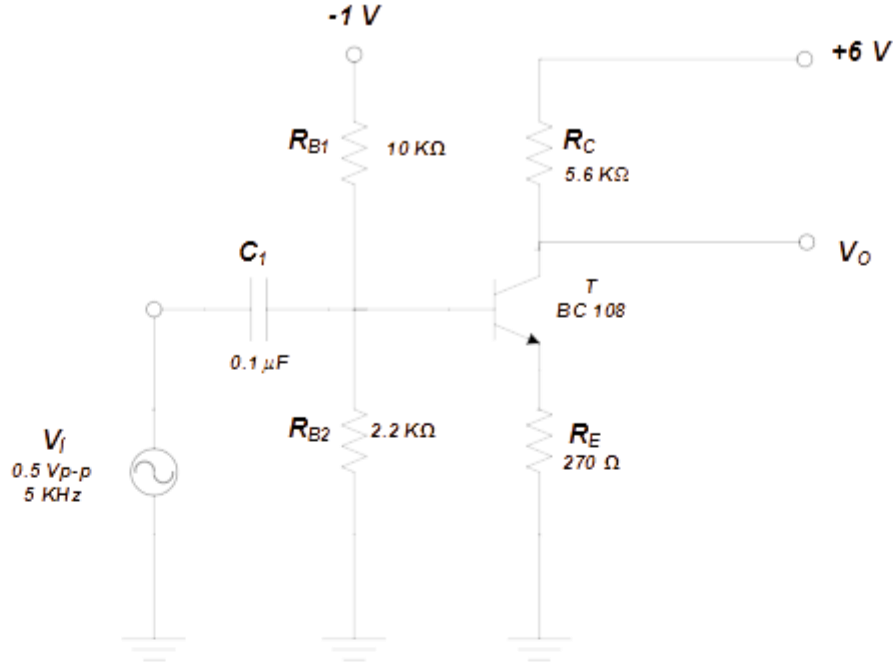
Tablo 10.1

Çalışma Noktası	Giriş İşareti	Çıkış İşareti	Çalışma tipi
Q ₁			

KULLANILAN MALZEMELER

- ② 1 adet 270Ω direnç
- ② 1 adet 2.2KΩ direnç
- ② 1 adet 5.6KΩ direnç
- ② 1 adet 10KΩ direnç
- ② 1 adet 0.1μF kondansatör
- ② 1 adet BC 108 transistör

DENEY DEVRESİ:



İŞLEM BASAMAKLARI:

1. Şekildeki devreyi yerleşim planına göre kurunuz.
2. İşaret üreticinin çıkışını 56 KHz frekanslı ve 0.5 volt (tepeden tepeye) sinüsoidal işarete ayarlayınız.
3. İşaret üreticini devre girişine bağlayınız. Devreye gerilim uygulayınız.
4. Yükselteç çıkışını osilaskop DC konumunda iken (bu sırada volt/Div anahtarı 2 V kademesinde olmalıdır) görüntüleyiniz.
5. gözlediğiniz şekil genlik değerlerini de belirterek, Tablo 10.2’de ilgili yere çiziniz.
6. DC kollektör akımını sayısal multimetre ile ölçüp, Tablo 10.2de ilgili haneye not ediniz. Bu ölçümü yaparken giriş işaretini devreden çözünüz.

Tablo 10.2

<i>Çalış. Tipi</i>	<i>Çıkış işareti</i>	<i>I_C</i>
<i>C</i>		

7. Çıkış işaretinde bozulma var mı? Nedenini açıklayınız. Bozulma süresi tüm periyodun kaçta kaçıdır? Bu durumda yükselteç C tipi çalışma yapıyor denebilir mi?

.....

.....

.....

.....

.....

.....

.....

8. DC kollektör akımı diğer çalışma tiplerine kıyasla ne durumdadır? Açıklayınız.

.....

.....

.....

.....

.....

.....

.....

9. Yük üzerindeki harcama bakımından çalışma tiplerini karşılaştırınız.

.....

.....

.....

.....

10. Hangi tip çalışma transistör de en az güç harcamaktadır? Niçin? Açıklayınız.

SONUÇ:

DENEY NO : 11

DENEY ADI : Seri Gerilim Regülatörü

DENEYİN AMACI :Basit bir seri gerilim regülatörünün performansını ve çalışmasını öğrenmek.

TEORİK BİLGİ :Gerilim regülatörünün karakteristikleri, transistör gibi aktif elemanlar kullanılarak önemli ölçüde iyileştirilebilir. Şekil 1 de transistörlü seri tip basit bir gerilim regülatörü verilmiştir. Bu düzenlemeye transistör, direnci, çalışma koşulları ile belirlenen basit bir ayarlanabilir direnç gibi davranır.

Gerilim regülasyonu, yük akımı ihtiyacına bağlı uç gerilimindeki değişmelerin kaydedilmesi ile belirlenir. Devrede R_L 'nin azalmaya bağlı olarak artan akım ihtiyacı, V_{RL} 'nin genliğinde de azalma eğilimi oluşturacaktır. Çıkış çevresi etrafında kirşof gerilim denklemini yazarsak;

$$V_{BE}=V_Z-V_{RL}$$

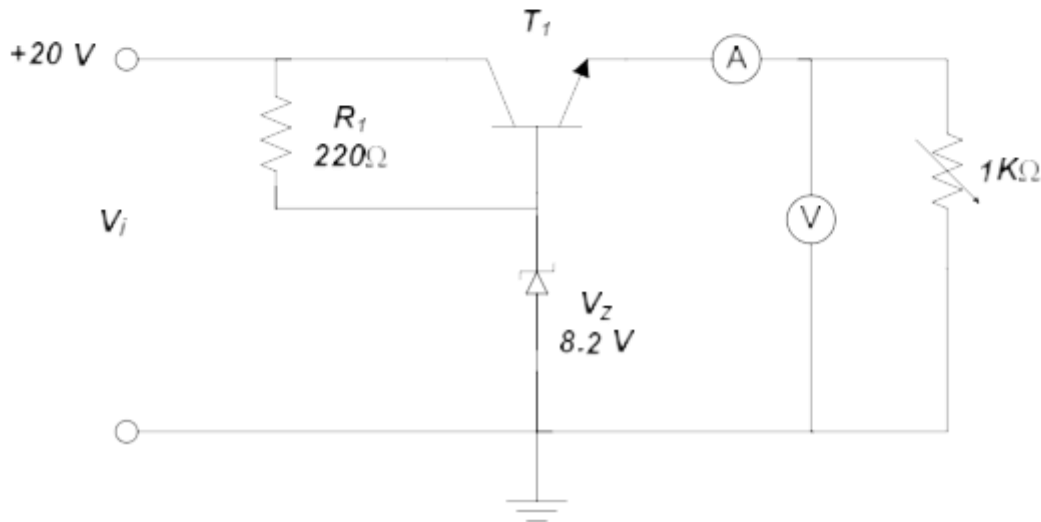
V_{RL} deki azalma (V_Z nin genliği sabir olduğundan) V_{BE} de bir artış oluşturacaktır.,

Karşılık olarak bu da transistörün iletim düzeyini arttıracak ve sonuçta uç (kollektör-emiter arası) direncinde azalmaya neden olacaktır. Yukarıda da belirtildiği gibi buda V_Z yi sabit bir noktada tutmak için arzu edilen bir sonuçtur. Sonuç olarak seri gerilim regülatörü, çeşitli yükleme durumlarına göre, çıkışında sabit değerde bir DC işaret elde eder.

KULLANILAN MALZEMELER

- ② 1 adet 220Ω direnç
- ② 1 adet 8.2 V zener diyot
- ② 1 adet 100Ω Potansiyometre
- ② 1 adet BD 135 transistör

DENEY DEVRESİ:



İŞLEM BASAMAKLARI:

A: Seri gerilim regülatörünün değişik yüklenme durumlarının incelenerek karşılaştırılması;

1. Devreyi kurunuz ve giriş voltajını $V_i=20\text{ V}$ 'a ayarlayınız.
2. Devre çıkışındaki potansiyometreyi sırası ile Tablo 11.1 de verilen değerlere ayarlayınız.
3. Her bir yük değerine göre V_o gerilimi ölçünüz.
4. Elde ettiğiniz ölçüm sonuçlarını Tablo 11.1'e kaydediniz.

Tablo 11.1

$R_y(\Omega)$	$V_o(\text{volt})$
100Ω	
500Ω	
1000Ω	

Tablo 11.1 R_L direncinin değişimine karşılık V_o geriliminin değişimi

5. Tablo 11.2 deki giriş voltaj değerlerini devreye uygulayarak çıkış voltajını ölçüp tabloya kaydediniz.

Tablo 11.2

$V_i(\text{Volt})$	$V_o(\text{Volt})$
5	
10	
15	

SORULAR:

1. R direnci devreye niçin koyulmuştur?

.....

.....

.....

2. Girişteki gerilim değişimleri nerede telafi ediliyor.

.....

.....

SONUÇ:

.....

.....

.....

.....

.....